

PATENT
2557-000204/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: HO-RANG JANG
Application No.: NEW
Filed: January 20, 2004
For: CACHE MEMORY DEVICE AND METHOD OF CONTROLLING
THE CACHE MEMORY DEVICE

PRIORITY LETTER

January 20, 2004

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

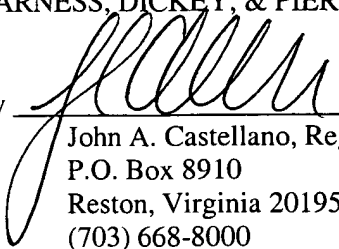
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0004024	January 21, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By


John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC: jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0004024
Application Number

출원년월일 : 2003년 01월 21일
Date of Application
JAN 21, 2003

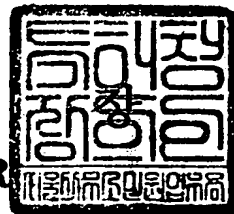
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 30 일

특 허 청

COMMISSIONER





1020030004024

출력 일자: 2003/5/31

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2003.01.21
【국제특허분류】	G06F
【발명의 명칭】	디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치 및 이에 대한 제어방법
【발명의 영문명칭】	The low power consumption cache memory device of a digital signal processor and the control method of the cache memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	장호랑
【성명의 영문표기】	JANG, Ho Rang
【주민등록번호】	680115-1056511
【우편번호】	420-761
【주소】	경기도 부천시 원미구 중2동 연화마을@ 1404-1202
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 38 면 38,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 28 항 1,005,000 원

【합계】 1,072,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치 및 이에 대한 제어방법이 개시된다. 본 발명에 의한 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치는, 대용량의 프로그램 메모리를 액세스하여 요청된 인스트럭션을 DSP 코어에 제공하는 캐시 메모리 장치에 있어서, 제1 캐시 메모리, 제2 캐시 메모리, 제1 인터페이스장치 및 제2 인터페이스장치를 구비한다. 제1 캐시 메모리는 소정의 인터럽트 신호에 응답하여 러닝 플래그 신호를 인에이블시키고, 소정 개수의 제1 인스트럭션을 DSP 코어에 제공한 후, 러닝 플래그 신호를 디세이블시킨다. 제2 캐시 메모리는 러닝 플래그 신호가 디세이블 상태일 때 제2 인스트럭션을 DSP 코어에 제공한다. 제1 인터페이스 장치는 DSP 코어와 제1 및 제2 캐시 메모리를 인터페이스 한다. 제2 인터페이스 장치는 프로그램 메모리와 제1 및 제2 캐시 메모리를 인터페이스 한다.

디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치 및 이에 대한 제어방법은 인터럽트 요청에 신속하게 대응하고 전력 소비를 감소시킬 수 있는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치 및 이에 대한 제어방법{The low power consumption cache memory device of a digital signal processor and the control method of the cache memory device}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 일반적인 디지털 신호 처리장치와 프로그램 메모리를 개략적으로 나타내는 블록도이다.

도 2는 종래 기술에 따른 캐시 메모리 장치를 나타내는 블록도이다.

도 3은 본 발명의 제1 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치를 나타내는 블록도이다.

도 4는 도 3에 도시된 제1 캐시 메모리를 상세히 나타내는 블록도이다..

도 5는 도 4에 도시된 캐시 메모리 블록을 상세히 나타내는 도면이다.

도 6은 본 발명의 제1 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 동작 과정을 나타내는 흐름도이다.

도 7은 도 6에 도시된 제1 캐시 메모리의 제1 인스트럭션 제공 과정을 상세히 나타내는 흐름도이다.

도 8은 본 발명의 제2 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치를 나타내는 블록도이다.

도 9는 도 8에 도시된 제1 캐시 메모리를 상세히 나타내는 블록도이다.

도 10은 도 8에 도시된 제2 캐시 메모리를 상세히 나타내는 블록도이다.

도 11은 본 발명의 제2 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 동작 과정을 나타내는 흐름도이다.

도 12는 도 8에 도시된 제3 캐시 메모리를 상세히 나타내는 블록도이다.

도 13은 본 발명에 따른 일반 캐시 메모리와 인터럽트용 캐시 메모리의 입력 대역폭을 설명하기 위한 블록도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 캐시 메모리 장치에 관한 것으로서, 특히, 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치 및 이에 대한 제어방법에 관한 것이다.

<16> 일반적으로, 디지털 신호 처리장치(Digital Signal Processor; DSP)는 음성 신호와 영상 신호를 처리하는 장치로서, 셀룰러폰(cellular phone), 비디오 카메라(video camera), 멀티미디어 시스템(multimedia system) 등에서 사용된다.

<17> 종래의 DSP 장치는 프로그램 메모리를 내부에 구비하며, 신호 처리에 필요한 인스트럭션(instruction)들을 포함하는 프로그램들이 상기 프로그램 메모리에 저장된다. 그러나, 최근 DSP 장치에서 사용되는 응용 프로그램들이 다양해지고, 그 크기가 증가함에

따라 상기 프로그램 메모리의 용량도 점차 증가되어, 이러한 프로그램 메모리를 DSP 장치내에 내장하는 것은 많은 문제가 있다.

<18> 이러한 문제는 상기 DSP 장치가 대용량 메모리에 저장되는 인스트럭션들 중 일부를 저장하는 소용량의 캐시 메모리를 구비함으로써 해결될 수 있었다. 그 결과, 대용량 메모리의 액세스 횟수가 감소되어, 상기 DSP 장치의 동작속도가 증가된다. 그 이유는, 상기 대용량의 메모리가 액세스 되는 시간에 비해 상기 캐시 메모리가 액세스 되는 시간이 비교적 짧기 때문이다. 상기 DSP 장치는 상기 캐시 메모리를 구비함으로써 음성 신호 또는 비디오 신호를 고속으로 처리할 수 있다.

<19> 이러한 캐시 메모리를 구비하는 일반적인 DSP 장치의 일예가 도 1에 도시된다. 도 1은 일반적인 DSP 장치와 프로그램 메모리를 개략적으로 나타내는 블록도이다.

<20> 도 1과 같이, DSP 장치(30)는 DSP 코어(10)와 캐시 메모리 장치(20)를 포함한다.

<21> 또, 상기 DSP 장치(30)는 시스템 버스(1)를 통하여 대용량의 프로그램 메모리(40)와 연결된다.

<22> 상기 DSP 코어(10)는 디지털 신호 처리에 필요한 각종 프로그램들을 실행하고, 인터럽트 요청에 응답하여 인터럽트 서비스 루틴을 수행한다. 상기 캐시 메모리 장치(20)는 프로그램 실행에 필요한 인스트럭션들을 상기 DSP 코어(10)에 제공한다.

<23> 또, 상기 DSP 코어(10)가 인터럽트 서비스 루틴을 수행하는데 필요한 인스트럭션(instruction)이 상기 캐시 메모리 장치(20)에 없을 경우, 상기 캐시 메모리 장치(20)는 대용량의 상기 프로그램 메모리(40)로부터 해당 인스트럭션을 독출하여 상기 DSP 코어(10)에 제공한다.



- <24> 도 2는 종래 기술에 따른 캐시 메모리 장치를 나타내는 블록도이다.
- <25> 도 2와 같이, 종래 기술에 따른 캐시 메모리 장치(50)는 캐시 메모리(52)와 제1 및 제2 인터페이스(51, 53)를 구비한다.
- <26> 상기 캐시 메모리(52)는 DSP 코어(도 1의 10참고)에서 자주 사용되는 인스트럭션들을 저장하며, 상기 DSP 코어의 요청에 따라 상기 인스트럭션을 제공한다.
- <27> 여기에서, 상기 캐시 메모리(52)는 상기 DSP 코어가 요청하는 인스트럭션이 상기 캐시 메모리(52) 내에 존재할 때 히트 신호(HIT)를 출력하고, 존재하지 않을 때 미스 신호(MISS)를 출력한다.
- <28> 상기 캐시 메모리(52)는 상기 히트 신호(HIT)를 출력할 때, 상기 캐시 메모리(52) 내에 저장된 해당 인스트럭션(INS)을 함께 출력한다.
- <29> 또, 상기 캐시 메모리(52)는 상기 미스 신호(MISS)를 출력할 때, 존재하지 않는 인스트럭션에 대응하는 프로그램 어드레스(PRO_ADD)를 상기 제2 인터페이스(53)에 출력한다.
- <30> 상기 제1 인터페이스(51)는 상기 캐시 메모리(52)로부터 상기 미스 신호(MISS)가 출력될 때, 상기 DSP 코어(10)에 웨이트 신호(WAIT)를 출력하여, 상기 DSP 코어(10)가 추가의 인스트럭션을 요청하지 않도록 한다.
- <31> 상기 제1 인터페이스(51)는 상기 DSP 코어(10)에 의해 요청되는 상기 프로그램 어드레스(PRO_ADD)를 상기 캐시 메모리(52)에 전송한다. 또, 상기 제1 인터페이스(51)는 상기 캐시 메모리(52)의 히트 신호(HIT)에 응답하여 상기 캐시 메모리(52)로부터 출력되는 인스트럭션(INS)을 상기 DSP 코어(10)에 전송한다.

- <32> 상기 제2 인터페이스(53)는 상기 캐시 메모리(52)로부터 출력된 상기 프로그램 어드레스(PRO_ADD)를 대용량의 프로그램 메모리(도 1의 40참고)에 전송한다. 또, 상기 제2 인터페이스(53)는 상기 프로그램 메모리(40)로부터 수신되는 상기 프로그램 어드레스(PRO_ADD)에 대응하는 인스트럭션(INS)을 상기 캐시 메모리(52)에 전송한다.
- <33> 상기와 같이 구성된 종래 기술에 따른 캐시 메모리 장치는 DSP 코어에서 자주 사용되는 인스트럭션들을 저장하기 때문에, 대용량의 프로그램 메모리 액세스 횟수를 감소시켜 DSP 장치의 동작속도를 증가시킬 수 있다.
- <34> 한편, 여러 가지 예외 상황에 따른 인터럽트(interrupt) 요청이 발생될 때, DSP 코어는 현재 수행중인 작업을 잠시 중단하고, 인터럽트 서비스 루틴을 수행한 후 다시 원래의 작업으로 복귀하게 된다.
- <35> 이 때, 인터럽트 서비스 루틴에서 사용되는 인스트럭션들은 그 사용 빈도가 매우 적기 때문에 캐시 메모리 내에 존재할 확률이 매우 낮다. 따라서, 캐시 메모리는 대용량의 프로그램 메모리로부터 인터럽트 서비스 루틴에서 사용되는 인스트럭션들을 가져와야 한다.
- <36> 또, 인터럽트 서비스 루틴은 실시간으로 신속하게 처리되어야 하지만, 일반 용도로 사용되는 캐시 메모리는 DSP 코어에서 자주 사용되는 인스트럭션들만을 저장하기 때문에, 그 처리 속도가 매우 느리다. 특히, 캐시 메모리가 초기 수행에 필요한 인스트럭션들을 얼마나 신속히 DSP 코어에 제공하는가에 따라, 상기 인터럽트 서비스 루틴의 처리 속도가 결정된다. 따라서, 처리 속도가 느린 일반 용도의 캐시 메모리가 인터럽트 서비스 루틴에 필요한 인스트럭션들을 DSP 코어에 제공하는 것은 바람직하지 않다.



<37> 한편, DSP 코어의 동작 상황에 따라서 DSP 코어가 동일한 응용 프로그램을 수행하는데 걸리는 시간이 달라질 수 있다. 이를 좀 더 상세히 설명하면, DSP 코어가 특정 프로그램을 단독으로 수행하는데 걸리는 시간에 비해, 다수의 프로그램들을 수행하면서 상기 특정 프로그램을 수행하는데 걸리는 시간이 더 길어질 수 있다. 그러므로, 이러한 프로그램들이 수행되는데 걸리는 시간을 예측한다는 것은 매우 어려운 일이다. 또, DSP 코어의 동작 상황에 따라서 DSP 코어가 동일한 응용 프로그램을 수행하는데 걸리는 시간이 달라질 수 있기 때문에, 인터럽트 요청이 있을 때, 정해진 시간 내에 반드시 처리되어야 하는 프로그램에 대하여 일반 용도의 캐시 메모리는 신속하게 대응할 수 없는 문제점이 있다.

<38> 또한, 일반 용도의 캐시 메모리는 DSP 코어에서 자주 사용되는 인스트럭션들만을 저장하기 때문에, 인터럽트 요청이 있을 때 대용량의 프로그램 메모리를 액세스 하여, 인터럽트 서비스 루틴에 필요한 인스트럭션들을 가져와야 하므로, 칩의 전력소비를 증가시키는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<39> 본 발명이 이루고자하는 기술적 과제는, 인터럽트 요청에 신속하게 대응하고 전력 소비를 감소시키는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치 및 이에 대한 제어방법을 제공하는데 있다.

【발명의 구성 및 작용】

<40> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치는, 대용량의 프로그램 메모리를 액세스하여 DSP

코어로부터 요청된 인스트럭션을 DSP 코어에 제공하는 캐시 메모리 장치에 있어서, 제1 캐시 메모리, 제2 캐시 메모리, 제1 인터페이스장치 및 제2 인터페이스장치를 구비한다.

<41> 제1 캐시 메모리는 소정의 인터럽트 신호에 응답하여 러닝 플래그 신호를 인에이블시키고, 소정 개수의 제1 인스트럭션을 DSP 코어에 제공한 후, 러닝 플래그 신호를 디세이블시킨다. 제2 캐시 메모리는 러닝 플래그 신호가 디세이블 상태일 때 제2 인스트럭션을 DSP 코어에 제공한다. 제1 인터페이스 장치는 DSP 코어와 제1 및 제2 캐시 메모리를 인터페이스 한다. 제2 인터페이스 장치는 프로그램 메모리와 제1 및 제2 캐시 메모리를 인터페이스 한다.

<42> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치는, 대용량의 프로그램 메모리를 액세스하여 DSP 코어로부터 요청된 인스트럭션을 제공하는 캐시 메모리 장치에 있어서, 제1 캐시 메모리, 제2 캐시 메모리, 제3 캐시 메모리, 제1 인터페이스 장치 및 제2 인터페이스 장치를 구비한다.

<43> 제1 캐시 메모리는 인스트럭션 중 제1 인스트럭션을 DSP 코어에 제공하며, 제1 인스트럭션이 없을 때 제1 미스 신호를 출력한다. 제2 캐시 메모리는 소정의 인터럽트 신호와 제1 미스 신호에 응답하여 인스트럭션 중 제2 인스트럭션을 DSP 코어에 제공하며, 소정 개수의 제2 인스트럭션을 제공하면 러닝 플래그 신호를 디세이블시킨다. 제3 캐시 메모리는 러닝 플래그 신호가 디세이블될 때, 제1 미스 신호에 응답하여 인스트럭션 중 제3 인스트럭션을 DSP 코어에 제공한다. 제1 인터페이스 장치는 DSP 코어와 제1 내지 제3 캐시 메모리를 인터페이스 한다. 제2 인터페이스 장치는 프로그램 메모리와 제1 내지 제3 캐시 메모리를 인터페이스 한다.

- <44> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치의 제어방법은, 대용량의 프로그램 메모리를 액세스하여 요청된 인스트럭션을 DSP 코어에 제공하는 제1 캐시 메모리와 제2 캐시 메모리를 구비하는 캐시 메모리 장치의 제어방법에 있어서,
- <45> (a) 상기 제2 캐시 메모리가 상기 인스트럭션 중 제2 인스트럭션을 상기 DSP 코어에 제공하는 단계;
- <46> (b) 인터럽트 신호가 수신될 때, 상기 제1 캐시 메모리가 러닝 플래그 신호를 인에이블시키는 단계;
- <47> (c) 상기 제1 캐시 메모리가 상기 인스트럭션 중 제1 인스트럭션을 상기 DSP 코어에 제공하는 단계;
- <48> (d) 제공된 상기 제1 인스트럭션의 수가 소정 개수에 도달할 때, 상기 제1 캐시 메모리가 동작을 정지하고 상기 러닝 플래그 신호를 디세이블시키는 단계; 및
- <49> (e) 상기 (a) 내지 상기 (d) 단계들을 반복 수행하는 단계를 포함하는 것을 특징으로 한다.
- <50> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치의 제어방법은, 대용량의 프로그램 메모리를 액세스하여 요청된 인스트럭션을 DSP 코어에 제공하는 제1 내지 제3 캐시 메모리를 구비하는 캐시 메모리 장치의 제어방법에 있어서,
- <51> (a) 상기 제1 캐시 메모리가 상기 인스트럭션 중 제1 인스트럭션을 상기 DSP 코어에 제공하는 단계;

- <52> (b) 상기 제1 캐시 메모리로부터 제1 미스 신호가 출력되고, 러닝 플래그 신호가 인에이블 상태일 때, 상기 제2 캐시 메모리가 상기 인스트럭션 중 제2 인스트럭션을 상기 DSP 코어에 제공하는 단계;
- <53> (c) 제공된 상기 제2 인스트럭션의 수가 소정 개수에 도달할 때, 상기 제2 캐시 메모리가 동작을 정지하고 상기 러닝 플래그 신호를 디세이블시키는 단계;
- <54> (d) 상기 제1 캐시 메모리로부터 상기 제1 미스 신호가 출력되고, 상기 러닝 플래그 신호가 디세이블 상태일 때, 상기 제3 캐시 메모리가 상기 인스트럭션 중 제3 인스트럭션을 상기 DSP 코어에 제공하는 단계;
- <55> (e) 인터럽트 신호가 수신될 때, 상기 제2 캐시 메모리가 상기 러닝 플래그 신호를 인에이블시키는 단계; 및
- <56> (f) 상기 (a) 내지 상기 (e) 단계를 반복 수행하는 단계를 포함하는 것을 특징으로 한다.
- <57> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <58> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <59> 도 3은 본 발명의 제1 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치를 나타내는 블록 도면이다.

- <60> 도 3과 같이, 본 발명의 제1 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치(100)는 제1 인터페이스 장치(110), 제1 캐시 메모리(120), 제2 캐시 메모리(130) 및 제2 인터페이스 장치(140)를 구비한다.
- <61> 상기 제1 인터페이스 장치(110)는 DSP 코어(도 1의 10 참고)로부터 프로그램 어드레스(PRO_ADD)와 인터럽트 신호(INT_ACK)를 수신한다. 또, 상기 제1 인터페이스 장치(110)는 상기 제1 및 상기 제2 캐시 메모리(120, 130)의 제어에 필요한 데이터를 라이트(write) 또는 리드(read)하기 위한 신호들을 추가로 수신할 수 있다.
- <62> 상기 제1 인터페이스 장치(110)는 상기 프로그램 어드레스(PRO_ADD)를 상기 제1 캐시 메모리(120)와 상기 제2 캐시 메모리(130)에 전송하고, 상기 인터럽트 신호(INT_ACK)를 상기 제1 캐시 메모리(120)에 전송한다.
- <63> 또, 상기 제1 인터페이스 장치(110)는 상기 제1 캐시 메모리(120)로부터 히트 신호(HIT1)와 함께 출력되는 제1 인스트럭션(INS_RE1)을 상기 DSP 코어(10)에 전송한다. 상기 제1 인터페이스 장치(110)는 상기 제2 캐시 메모리(130)로부터 히트신호(HIT2)와 함께 출력되는 제2 인스트럭션(INS_RE2)을 상기 DSP 코어(10)에 전송한다.
- <64> 상기 제1 인터페이스 장치(110)는 상기 제1 캐시 메모리(120)와 상기 제2 캐시 메모리(130)로부터 미스 신호(MISS1, MISS2)를 수신하면, 상기 DSP 코어(10)에 웨이트 신호(WAIT)를 출력하여, 상기 DSP 코어(10)가 추가의 인스트럭션을 요청하지 않도록 한다.
- <65> 상기 제1 캐시 메모리(120)는 상기 인터럽트 신호(INT_ACK)를 수신할 때 동작하는 인터럽트용 캐시 메모리이다. 상기 제1 캐시 메모리(120)는 상기 인터럽트 신호(INT_ACK)를 수신하면 러닝 플래그 신호(RUN_F)를 인에이블시킨다. 또, 상기 제1 캐시

메모리(120)는 상기 프로그램 어드레스(PRO_ADD)에 대응하는 상기 제1 인스트럭션(INS_RE1)이 존재하면, 상기 히트 신호(HIT1)와 함께 상기 제1 인스트럭션(INS_RE1)을 출력한다.

<66> 상기 제1 캐시 메모리(120)는 상기 히트 신호(HIT1)를 출력하는 동안, 즉, 상기 제1 인스트럭션(INS_RE1)을 출력하는 동안, 프리패치 어드레스(PRF_ADD)를 연속적으로 발생시켜 상기 제2 인터페이스 장치(140)에 출력한다.

<67> 상기 프리패치 어드레스(PRF_ADD)는 상기 프로그램 어드레스(PRO_ADD)로부터 연속적으로 증가되는 복수의 어드레스들을 포함한다.

<68> 상기 제1 캐시 메모리(120)는 상기 제2 인터페이스 장치(40)로부터 제1 기입 인스트럭션(INS1)을 수신하여 저장한다.

<69> 또, 상기 제1 캐시 메모리(120)는 상기 프로그램 어드레스(PRO_ADD)에 대응하는 상기 제1 인스트럭션(INS_RE1)이 없거나 또는 유효하지 않을 때, 상기 미스 신호(MISS1)를 상기 제1 인터페이스 장치(110)에 출력한다.

<70> 이 후, 상기 제1 캐시 메모리(120)는 미스된 상기 프로그램 어드레스(PRO_ADD)를 상기 제2 인터페이스 장치(140)에 출력하고, 이에 대응하는 상기 제1 기입 인스트럭션(INS1)을 수신한다.

<71> 상기 제1 캐시 메모리(120)는 소정 개수의 상기 제1 인스트럭션(INS_RE1)을 출력하면, 동작을 중단하고 상기 러닝 플래그 신호(RUN_F)를 디세이블시킨다.

<72> 여기에서, 상기 소정 개수는 바람직하게 상기 DSP 코어(10)가 인터럽트 요청상태를 검사하고, 해당 입력변수들을 독출하는데 필요한 인스트럭션들의 개수이다.

- <73> 상기 제2 캐시 메모리(130)는 상기 러닝 플래그 신호(RUN_F)가 디세이블될 때 동작한다. 상기 제2 캐시 메모리(130)는 상기 프로그램 어드레스(PRO_ADD)에 대응하는 상기 제2 인스트럭션(INS_RE2)이 존재하면, 상기 히트 신호(HIT2)와 함께 상기 제2 인스트럭션(INS_RE2)을 출력한다.
- <74> 또, 상기 제2 캐시 메모리(130)는 상기 프로그램 어드레스(PRO_ADD)에 대응하는 상기 제2 인스트럭션(INS_RE2)이 없거나 또는 유효하지 않을 때, 상기 미스 신호(MISS2)를 상기 제1 인터페이스(110)에 출력한다.
- <75> 이 후, 상기 제2 캐시 메모리(130)는 미스된 상기 프로그램 어드레스(PRO_ADD)를 상기 제2 인터페이스(140)에 출력하고, 이에 대응하는 상기 제2 기입 인스트럭션(INS2)을 수신한다.
- <76> 여기에서, 상기 제2 캐시 메모리(130)는 상기 DSP 코어(10)의 일반적인 프로그램 수행에 필요한 인스트럭션들 또는 상기 DSP 코어(10)가 상기 입력변수들을 독출한 후의 인터럽트 서비스 루틴을 수행하는데 필요한 인스트럭션들을 제공한다.
- <77> 상기 제2 인터페이스 장치(140)는 상기 제1 캐시 메모리(120)로부터 출력되는 상기 프리패치 어드레스(PRF_ADD) 또는 상기 프로그램 어드레스(PRO_ADD)를 대용량의 프로그램 메모리(도 1의 40참고)에 전송한다.
- <78> 또, 상기 제2 인터페이스 장치(140)는 상기 제2 캐시 메모리(130)로부터 출력되는 상기 프로그램 어드레스(PRO_ADD)를 수신하여 상기 프로그램 메모리(40)에 전송한다.
- <79> 또, 상기 제2 인터페이스 장치(140)는 상기 프로그램 메모리(40)로부터 상기 제1 기입 인스트럭션(INS1)을 수신하여 상기 제1 캐시 메모리(120)에 전송한다.

- <80> 상기 제2 인터페이스 장치(140)는 상기 프로그램 메모리(40)로부터 상기 제2 기입 인스트럭션(INS2)을 수신하여 상기 제2 캐시 메모리(130)에 전송한다.
- <81> 도 4는 도 3에 도시된 제1 캐시 메모리를 상세히 나타내는 블록도이다..
- <82> 도 4와 같이, 상기 제1 캐시 메모리(120)는 캐시 메모리 블록(150)과 캐시 제어부(160)를 포함한다.
- <83> 상기 캐시 메모리 블록(150)은 도 5에 도시된 것과 같이, 복수개의 저장 레지스터들(151)을 포함한다. 상기 저장 레지스터들(151) 각각은 인스트럭션을 저장하는 N(N은 2 이상의 자연수) 비트의 저장공간과, 저장된 인스트럭션이 유효한지의 여부를 나타내는 유효 비트(V)를 포함한다. 여기에서, 상기 N 비트는 한 번에 독출 가능한 워드(word) 수로 이루어질 수 있다.
- <84> 상기 캐시 제어부(160)는 제1 내지 제3 레지스터(161~163), 제1 및 제2 뿔샘기(164, 165), 히트/미스 판단부(166), 카운팅부(167) 및 제어신호 발생부(168)를 포함한다.
- <85> 상기 제1 레지스터(161)는 제1 인터페이스(110)로부터 프로그램 어드레스(PRO_ADD)를 수신하여 요청 어드레스(REQ_ADD)를 출력한다. 상기 제2 레지스터(162)는 인터럽트 신호(INT_ACK)를 수신하면, 상기 제1 인터페이스(110)로부터 최초로 수신되는 상기 프로그램 어드레스(PRO_ADD)를 저장하여 시작 어드레스(BADD)로 설정한다. 또, 상기 제2 레지스터(162)는 소정의 제어신호(CTL)가 입력될 때, 수신되는 상기 프로그램 어드레스(PRO_ADD)를 저장하여 상기 시작 어드레스(BADD)로 재설정한다.

- <86> 상기 제3 레지스터(163)는 최초로 수신되는 상기 프로그램 어드레스(PRO_ADD)를 저장하고, 상기 프로그램 어드레스(PRO_ADD)로부터 연속적으로 증가되는 다수의 어드레스들을 포함하는 프리패치 어드레스(PRF_ADD)를 생성하여 출력한다.
- <87> 또, 상기 제3 레지스터(163)는 상기 제어신호(CTL)가 입력될 때, 수신되는 상기 프로그램 어드레스(PRO_ADD)를 저장하고, 대용량의 프로그램 메모리(40)에 전송한다.
- <88> 상기 제1 뿔셈기(164)는 상기 요청 어드레스(REQ_ADD)에서 상기 시작 어드레스(BADD)를 감산하여 리드(read) 어드레스(RADD)를 발생한다. 상기 제2 뿔셈기(165)는 상기 프리패치 어드레스(PRF_ADD) 또는 상기 제어신호(CTL)와 함께 수신되는 상기 프로그램 어드레스(PRO_ADD)에서 상기 시작 어드레스(BADD)를 감산하여 라이트(write) 어드레스(WADD)를 발생한다.
- <89> 상기 히트/미스 판단부(166)는 상기 리드 어드레스(RADD)를 수신하여 상기 리드 어드레스(RADD)가 상기 캐시 메모리 블록(150)내의 어드레스 범위를 벗어날 때 미스 신호(MISS1)를 출력한다.
- <90> 또, 상기 히트/미스 판단부(166)는 상기 리드 어드레스(RADD)가 상기 캐시 메모리 블록(150)내의 어드레스 범위내일 때, 상기 리드 어드레스(RADD)에 대응하는 상기 캐시 메모리 블록(150)의 저장 레지스터(151)로부터 유효비트(VBIT)를 수신한다. 상기 히트/미스 판단부(166)는 상기 유효비트(VBIT)로부터 상기 리드 어드레스(RADD)에 대응하는 데이터가 유효한지의 여부를 판단하여, 유효할 때 상기 히트신호(HIT1)를 출력하고, 유효하지 않을 때 상기 미스 신호(MISS1)를 출력한다.

- <91> 상기 제3 레지스터(163)는 상기 히트신호(HIT1)가 출력되는 동안 상기 프리패치 어드레스(PRF_ADD)를 출력하고, 상기 미스신호(MISS1)가 출력될 때 상기 제어신호(CTL)와 함께 수신되는 상기 프로그램 어드레스(PRO_ADD)를 출력한다.
- <92> 상기 카운팅부(167)는 상기 히트 신호(HIT1)의 출력 횟수를 카운팅하여 설정된 횟수에 도달될 때, 카운팅 정보(CNT)를 출력하고 리셋된다.
- <93> 상기 제어 신호 발생부(168)는 상기 미스 신호(MISS1), 상기 인터럽트 신호(INT_ACK), 상기 프로그램 어드레스(PRO_ADD) 및 상기 카운팅 정보(CNT)를 포함하는 복수의 신호들을 수신한다. 상기 제어 신호 발생부(168)에는 리드 어드레스(RADD), 유효비트 정보(VBIT)를 포함하는 추가의 신호들이 더 입력될 수 있다.
- <94> 상기 제어 신호 발생부(168)는 상기 미스 신호(MISS1)가 수신될 때 상기 제어신호(CTL)를 출력한다.
- <95> 여기에서, 상기 제어 신호 발생부(168)는 상기 제어신호(CTL) 이외에 추가의 제어 신호들을 더 출력할 수 있다.
- <96> 상기와 같이 구성된 본 발명의 제1 실시예에 따른 저전력 소비형 캐시 메모리 장치의 동작을 도 3 내지 도 7을 참고하여 살펴보면 다음과 같다.
- <97> 먼저, 본 발명은 인터럽트 요청에 신속하게 대응하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치에 관한 것이므로, 본 명세서에서는 인터럽트 요청이 있을 때의 상기 캐시 메모리 장치의 동작만을 설명하기로 한다.

- <98> 또, 상기 캐시 메모리 장치의 일반 동작에 대해서는 본 발명의 기술분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상기 캐시 메모리 장치의 일반 동작 모드에 상세한 설명은 생략된다.
- <99> 도 6은 본 발명의 제1 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 동작 과정을 나타내는 흐름도(2000)이고, 도 7은 도 6에 도시된 제1 캐시 메모리의 제1 인스트럭션 제공 과정을 상세히 나타내는 흐름도(2400)이다.
- <100> 도 6에서, 먼저, 제2 캐시 메모리(130)가 제2 인스트럭션(INS_RE2)을 DSP 코어(10)에 제공한다(2100). 이 후, 인터럽트 신호(INT_ACK)가 수신되는지의 여부를 판단한다(2200). 상기 인터럽트 신호(INT_ACK)가 수신되면, 제1 캐시 메모리(120)의 제어신호 발생부(168)는 러닝 플래그 신호(RUN_F)를 인에이블 시킨다(2300).
- <101> 이 후, 상기 제1 캐시 메모리(120)가 제1 인스트럭션(INS_RE1)을 상기 DSP 코어(10)에 제공한다(2400).
- <102> 상기 단계(2400)에 대해서는 도 7을 참고하여 좀 더 상세히 후술된다.
- <103> 다음으로, 상기 제1 캐시 메모리(120)가 제공한 상기 제1 인스트럭션(INS_RE1)의 수가 소정 개수에 도달하였는지의 여부가 판단된다(2500). 상기 단계(2500)에서 상기 제1 인스트럭션(INS_RE1)의 수가 소정 개수에 도달될 때, 상기 제1 캐시 메모리(120)는 동작을 정지하고(2600), 상기 러닝 플래그 신호(RUN_F)를 디세이블 시킨다(2700). 이 후, 상기 단계(2100)로 리턴하여 상기 단계들을 반복 수행한다.
- <104> 여기에서, 도 7을 참고하여 상기 단계(2400)를 좀 더 상세히 설명하면 다음과 같다

- <105> 도 7과 같이, 먼저, 상기 제1 캐시 메모리(120)의 제1 내지 제3 레지스터(161~163)가 프로그램 어드레스(PRO_ADD)를 수신한다(2401).
- <106> 상기 제1 레지스터(161)는 연속적으로 수신되는 상기 프로그램 어드레스(PRO_ADD)를 요청 어드레스(REQ_ADD)로서 출력한다. 상기 제2 레지스터(162)는 최초로 수신되는 상기 프로그램 어드레스(PRO_ADD)를 저장하여, 시작 어드레스(BADD)로서 설정한다.
- <107> 이 후, 제1 뿔셈기는 상기 요청 어드레스(REQ_ADD)에서 상기 시작 어드레스(BADD)를 감산하여 리드 어드레스(RADD)를 발생한다(2402). 이를 좀 더 상세히 설명하면, 상기 요청 어드레스(REQ_ADD)가 108번지이고, 상기 시작 어드레스(BADD)가 100번지인 경우, 상기 리드 어드레스(RADD)는 8번지가 된다.
- <108> 다음으로, 히트/미스 판단부(166)는 상기 리드 어드레스(RADD)가 캐시 메모리 블록(150)내의 어드레스 범위를 벗어나는지의 여부를 판단한다(2403).
- <109> 상기 리드 어드레스(RADD)가 상기 캐시 메모리 블록(150)내의 어드레스 범위를 벗어날 때, 상기 히트/미스 판단부(166)는 미스 신호(MISS1)를 출력한다(2404).
- <110> 이를 좀 더 상세히 설명하면 다음과 같다. 먼저, 상기 캐시 메모리 블록(150)내의 어드레스 범위가 0번지에서 99번지라고 가정하자.
- <111> 예를 들어, 상기 시작 어드레스(BADD)가 100번지일 때, 상기 요청 어드레스(REQ_ADD)가 300번지일 경우 리드 어드레스(RADD)는 200번지이므로, 상기 캐시 메모리 블록(150)내의 상기 어드레스 범위를 벗어나게 된다.
- <112> 이 경우, 상기 요청 어드레스(REQ_ADD)가 큰 간격을 두고 점프한 경우이므로, 상기 시작 어드레스(BADD)가 재설정 될 필요가 있다.

- <113> 반대로, 상기 시작 어드레스(BADD)가 100번지일 때, 상기 요청 어드레스(REQ_ADD)가 90번지일 경우 리드 어드레스(RADD)는 -10번지이므로, 상기 캐시 메모리 블록(150)내의 상기 어드레스 범위를 벗어나게 된다. 이 경우에도, 상기 시작 어드레스(BADD)가 재설정 될 필요가 있다.
- <114> 따라서, 상기 미스 신호(MISS1)에 응답하여 제어 신호 발생부(168)가 상기 제2 및 상기 제3 레지스터(162, 163)에 소정의 제어신호(CTL)를 출력한다.
- <115> 상기 제2 레지스터(162)는 상기 제어신호(CTL)에 응답하여, 상기 캐시 메모리 블록(150)내의 상기 어드레스 범위를 벗어난 상기 리드 어드레스(RADD)를 발생하는데 사용되는 상기 프로그램 어드레스(PRO_ADD)를 저장하여, 상기 시작 어드레스(BADD)로서 재설정한다(2405).
- <116> 상기와 같이 상기 프로그램 어드레스(PRO_ADD)가 큰 간격을 두고 점프할 때마다 상기 시작 어드레스(BADD)가 재설정된다. 그 결과, 상기 제1 캐시 메모리(120)는 상기 캐시 메모리 블록(150)의 적은 레지스터들(151)만으로도 상기 DSP 코어(10)에서 요청하는 인스트럭션들을 충분히 제공할 수 있다.
- <117> 이 후, 상기 제3 레지스터(163)는 상기 시작 어드레스(BADD)로 재설정된 상기 프로그램 어드레스(PRO_ADD)를 대용량의 프로그램 메모리(40)에 출력한다(2406). 상기 캐시 메모리 블록(150)이 상기 프로그램 메모리(40)로부터 상기 프로그램 어드레스(PRO_ADD)에 대응하는 제1 기입 인스트럭션(INS1)을 수신한다(2407).
- <118> 이 후, 상기 제2 뿔셈기(165)는 라이트(write) 어드레스(WADD)를 발생하여, 상기 캐시 메모리 블록(150)에 상기 제1 기입 인스트럭션(INS1)을 저장하고(2408), 상기 단계

(2401)로 리턴하여 상기 단계들을 반복 수행한다. 상기 제2 뿔셈기(165)는 상기 프로그램 어드레스(PRO_ADD)에서 상기 시작 어드레스(BADD)를 감산하여 상기 라이트 어드레스(WADD)를 발생한다.

<119> 여기에서, 상기 시작 어드레스(BADD)가 재설정 될 때, 상기 라이트 어드레스(WADD)는 상기 프로그램 어드레스(PRO_ADD)와 상기 시작 어드레스(BADD)가 동일하므로 0번지로 된다.

<120> 다음으로, 상기 단계(2403)에서 상기 리드 어드레스(RADD)가 상기 캐시 메모리 블록(150)내의 어드레스 범위를 벗어나지 않을 때, 히트/미스 판단부(166)는 유효비트(VBIT)를 체크한다. 그 결과, 상기 리드 어드레스(RADD)에 대응하는 상기 제1 인스트럭션(INS_RE1)이 유효한지의 여부가 판단된다(2409).

<121> 바람직하게, 상기 유효비트(VBIT)가 "1"일 때 상기 제1 인스트럭션(INS_RE1)이 유효하고, "0"일 때 유효하지 않다.

<122> 상기 제1 인스트럭션(INS_RE1)이 유효하지 않을 때, 상기 단계(2404)로 리턴하여 상기 단계들을 반복 수행한다.

<123> 또, 상기 제1 인스트럭션(INS_RE1)이 유효할 때, 상기 히트/미스 판단부(166)는 히트 신호(HIT1)를 출력하고, 상기 캐시 메모리 블록(150)은 상기 제1 인스트럭션(INS_RE1)을 출력한다(2410). 한편, 상기 제3 레지스터(163)는 상기 시작 어드레스(BADD)로 설정된 상기 프로그램 어드레스(PRO_ADD)를 저장하고, 프리패치 어드레스(PRF_ADD)를 발생한다(2411). 상기 프리패치 어드레스(PRF_ADD)는 상기 저장된 프로그램 어드레스(PRO_ADD)로부터 연속적으로 증가하는 복수의 어드레스들을 포함한다.

- <124> 다음으로, 상기 프리패치 어드레스(PRF_ADD)에 대응하는 상기 제1 기입 인스트럭션(INS1)이 수신되면, 상기 제2 뿔샘기(165)는 라이트 어드레스(WADD)를 발생하여, 상기 제1 기입 인스트럭션(INS1)을 상기 캐시 메모리 블록(150)에 저장한다(2412). 상기 제2 뿔샘기(165)는 상기 프리패치 어드레스(PRF_ADD)에서 상기 시작 어드레스(BADD)를 감산하여 상기 라이트 어드레스(WADD)를 발생한다.
- <125> 상기 프리패치 어드레스(PRF_ADD)는 제2 인터페이스 장치(도3의 140 참고)에 의해 대용량의 프로그램 메모리(40)에 전송된다. 상기 프리패치 어드레스(PRF_ADD)에 대하여 좀 더 상세히 설명하면 다음과 같다.
- <126> 예를 들어, 상기 시작 어드레스(BADD)로 설정된 상기 프로그램 어드레스(PRO_ADD)가 100번지라고 가정하면, 상기 제3 레지스터(163)는 100, 101, 102,...로 계속 증가되는 상기 프리패치 어드레스(PRF_ADD)를 발생한다.
- <127> 여기에서, 상기 요청 어드레스(REQ_ADD)는 상기 프리패치 어드레스(PRF_ADD)와 일치하지 않을 수 있다. 예를 들면, 상기 프리패치 어드레스(PRF_ADD)가 100, 101, 102, 103,...로 연속적으로 증가될 때, 상기 요청 어드레스(REQ_ADD)는 100, 103, 104, 106, 200,...과 같이 불연속적으로 증가될 수 있다.
- <128> 상기 요청 어드레스(REQ_ADD)와 상기 프리패치 어드레스(PRF_ADD)가 일치하지 않는 이유는, 상기 요청 어드레스(REQ_ADD)가 수신되는 속도 보다 빠른 속도로 상기 제3 레지스터(163)가 대량의 연속적인 상기 프리패치 어드레스(PRF_ADD)를 발생시키기 때문이다.

- <129> 따라서, 상기 제1 캐시 메모리(120)는 대용량의 프로그램 메모리(40)로부터 미리 대량의 상기 제1 기입 인스트럭션(INS1)을 가져올 수 있다. 그 결과, 상기 제1 캐시 메모리(120)는 상기 DSP 코어(10)의 요청에 따른 상기 제1 인스트럭션(INS_RE1)을 신속히 제공할 수 있고, 상기 DSP 코어(10)는 인터럽트 요청에 대하여 빠르게 대응할 수 있다.
- <130> 한편, 상기 히트/미스 판단부(166)로부터 상기 히트 신호(HIT1)가 출력될 때마다, 카운팅부(167)가 그 횟수를 카운팅한다(2413). 상기 카운팅부(167)는 상기 히트 신호(HIT1)의 출력 횟수가 설정된 소정 횟수에 도달되는지를 판단한다(2414).
- <131> 상기 히트 신호(HIT1)의 출력 횟수가 설정된 소정 횟수에 도달되지 않을 때, 상기 단계(2401)로 리턴하여 상기 단계들을 반복 수행한다.
- <132> 또, 상기 히트 신호(HIT1)의 출력 횟수가 설정된 소정 횟수에 도달될 때, 상기 카운팅부(167)는 상기 제어 신호 발생부(168)에 카운팅 정보(CNT)를 출력하고(2415) 종료한다.
- <133> 상기 카운팅 정보(CNT)에 따라 상기 제어 신호 발생부(168)는 상기 DSP 코어(10)에 제공된 상기 제1 인스트럭션(INS_RE1)의 수가 소정 개수에 도달된 것으로 판단하여, 러닝 플래그 신호(RUN_F)를 디세이블 시킨다(도 6의 2700 참고).
- <134> 도 6 내지 도 7에서는 상기 인터럽트 신호(INT_ACK)가 한 번 수신되는 것으로 설명하였지만, 하나의 인터럽트 신호(INT_ACK)를 수행하는 도중에 추가의 인터럽트 신호들이 더 수신될 수 있다. 도 6 내지 도 7에 도시되지는 않았지만, 추가의 인터럽트 신호들이 수신될 때, 상기 제1 캐시 메모리(120)의 동작을 좀 더 상세히 설명하면 다음과 같다.

- <135> 상기 제1 캐시 메모리(120)가 상기 DSP 코어(10)에 상기 제1 인스트럭션(INS_RE1)을 제공하는 동안, 추가로 수신되는 인터럽트 신호(INT_ACK)에 응답하여, 상기 제어 신호 발생부(168)는 상기 제어신호(CTL)를 출력한다.
- <136> 상기 제어신호(CTL)에 응답하여, 상기 제2 레지스터(162)는 상기 추가의 인터럽트 신호(INT_ACK)와 함께 최초로 수신되는 프로그램 어드레스(PRO_ADD)를 저장하여, 상기 시작 어드레스(BADD)로서 재설정한다. 또, 상기 카운팅부(168)가 리셋되어 다시 카운팅을 시작한다. 여기에서, 상기 카운팅부(168)가 리셋되는 이유는, 하나의 인터럽트 요청에 대하여 상기 제1 캐시 메모리(120)가 제공하는 상기 제1 인스트럭션(INS_RE1)의 개수가 미리 설정되어있기 때문에, 추가의 인터럽트 요청에 대한 제1 인스트럭션(INS_RE1)을 충분히 제공하기 위함이다. 이 후, 상기 단계(2406)로 리턴하여 상기 단계들을 반복 수행한다.
- <137> 도 8은 본 발명의 제2 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치를 나타내는 블록도이다.
- <138> 도 8과 같이, 본 발명의 제2 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치(200)는 제1 인터페이스장치(210), 제1 캐시 메모리(220), 제2 캐시 메모리(230), 제3 캐시 메모리(240) 및 제2 인터페이스장치(250)를 구비한다.
- <139> 상기 제1 인터페이스 장치(210)는 DSP 코어(도 1의 10참고)로부터 프로그램 어드레스(PR_ADD)와 인터럽트 신호(INT_ACK)를 수신한다. 또, 상기 제1 인터페이스 장치(210)는 상기 제1 내지 상기 제3 캐시 메모리(220~240)의 제어에 필요한 데이터를 라이트 또는 리드하기 위한 신호들을 추가로 수신할 수 있다.

- <140> 상기 제1 인터페이스 장치(210)는 인터럽트 신호(INT_ACK)와 프로그램 어드레스 (PR_ADD)를 수신하여 상기 제1 내지 상기 제3 캐시 메모리(220, 230, 240))에 전송한다. 또, 상기 제1 인터페이스 장치(210)는 상기 제1 캐시 메모리(220)로부터 히트 신호 (HIT_L)와 함께 수신되는 제1 인스트럭션(INS_R1)을 DSP 코어(10)에 전송한다. 상기 제1 인터페이스 장치(210)는 상기 제2 캐시 메모리(230)로부터 히트 신호(HIT_I)와 함께 수신되는 제2 인스트럭션(INS_R2)을 상기 DSP 코어(10)에 전송한다. 또, 상기 제1 인터페이스 장치(210)는 상기 제3 캐시 메모리(240)로부터 히트 신호(HIT_G)와 함께 수신되는 제3 인스트럭션(INS_R3)을 상기 DSP 코어(10)에 전송한다.
- <141> 또, 상기 제1 인터페이스 장치(210)는 상기 제1 내지 상기 제3 캐시 메모리(220~240)로부터 미스 신호(MISS_L, MISS_I, MISS_G)를 수신하면, 상기 DSP 코어(10)에 웨이트 신호(WAIT)를 출력하여, 상기 DSP 코어(10)가 추가의 인스트럭션을 요청하지 않도록 한다.
- <142> 상기 제1 캐시 메모리(220)는 잠금 가능 캐시 메모리로서, 그 구조는 도 9에 도시된 것과 같다.
- <143> 도 9와 같이, 상기 제1 캐시 메모리(220)는 어드레스 메모리(221), 히트/미스 판단부(222), 페이지 메모리 블록(223) 및 페이지 다운로드부(224)를 구비한다. 상기 페이지 메모리 블록(223)은 복수의 페이지 메모리들을 포함한다.
- <144> 상기 어드레스 메모리(221)는 상기 페이지 메모리 블록(223)에 저장된 인스트럭션들에 대한 어드레스를 저장한다.

- <145> 상기 제2 캐시 메모리(230)와 상기 제3 캐시 메모리(240)가 대용량의 프로그램 메모리(도 1의 40참고)를 액세스 하지 않을 때, 상기 페이지 다운로드부(224)는 제1 기입 인스트럭션(PA_INS)을 미리 다운로드한다. 상기 페이지 다운로드부(224)는 페이지 어드레스(PA_ADD)를 발생하여, 상기 프로그램 메모리(40)로부터 설정된 페이지별로 상기 제1 기입 인스트럭션(PA_INS)을 다운로드한다.
- <146> 상기 히트/미스 판단부(222)는 상기 프로그램 어드레스(PR_ADD)가 상기 어드레스 메모리(221)에 저장된 페이지 어드레스(PADD)와 동일하면 히트 신호(HIT_L)를 출력한다. 또, 상기 히트/미스 판단부(222)는 상기 프로그램 어드레스(PR_ADD)가 상기 페이지 어드레스(PADD)와 동일하지 않을 때, 즉, 상기 어드레스 메모리(221)내에 존재하지 않을 때, 미스 신호(MISS_L)를 출력한다.
- <147> 다음으로, 도 8에서, 상기 제2 캐시 메모리(230)는 인터럽트 요청이 있을 때, 상기 DSP 코어(10)가 인터럽트 서비스 루틴을 수행하는데 필요한 소정의 인스트럭션들을 저장한다. 또, 상기 제2 캐시 메모리(230)는 인터럽트 요청이 있을 때 동작하는 인터럽트 용 캐시 메모리이다.
- <148> 상기 제2 캐시 메모리(230)는 상기 제1 캐시 메모리(220)로부터 출력되는 상기 미스 신호(MISS_L)와 인터럽트 신호(INT_ACK)를 수신하면 동작을 개시한다.
- <149> 상기 제2 캐시 메모리(230)는 상기 인터럽트 신호(INT_ACK)에 응답하여 러닝 플래그 신호(RUN_F)를 인에이블 시킨다.

- <150> 상기 제2 캐시 메모리(230)는 상기 프로그램 어드레스(PR_ADD)에 대응하는 제2 인스트럭션(INS_R2)이 존재하면, 히트 신호(HIT_I)와 함께 상기 제2 인스트럭션(INS_R2)을 출력한다.
- <151> 또, 상기 제2 캐시 메모리(230)는 상기 프로그램 어드레스(PR_ADD)에 대응하는 인스트럭션이 없거나 또는 유효하지 않을 때, 미스 신호(MISS_I)를 출력한다.
- <152> 상기 제2 캐시 메모리(230)는 상기 프로그램 어드레스(PR_ADD)로부터 프리패치 어드레스(PRF_ADD)를 발생하여 상기 제2 인터페이스 장치(250)에 출력한다. 상기 제2 캐시 메모리(230)는 상기 제2 인터페이스 장치(250)로부터 제2 기입 인스트럭션(INS1)을 수신한다.
- <153> 상기 제2 캐시 메모리(230)는 소정 개수의 상기 제2 인스트럭션(INS_R2)을 상기 DSP 코어(10)에 제공하면 동작을 중단하고, 러닝 플래그 신호(RUN_F)를 디세이블시킨다.
- <154> 여기에서, 상기 설정된 개수는 바람직하게 상기 DSP 코어(10)가 인터럽트 요청상태를 검사하고, 해당 입력변수들을 독출하는데 필요한 인스트럭션들의 개수이다.
- <155> 상기 제3 캐시 메모리(240)는 상기 러닝 플래그 신호(RUN_F)가 디세이블될 때 동작을 개시한다.
- <156> 상기 제3 캐시 메모리(240)는 상기 프로그램 어드레스(PR_ADD)에 대응하는 제3 인스트럭션(INS_R3)이 존재하면, 히트 신호(HIT_G)와 함께 상기 제3 인스트럭션(INS_R3)을 출력한다.

- <157> 또, 상기 제3 캐시 메모리(240)는 상기 프로그램 어드레스(PR_ADD)에 대응하는 상기 제3 인스트럭션(INS_R3)이 없을 때, 미스 신호(MISS_G)를 출력한다.
- <158> 상기 제2 인터페이스 장치(250)는 상기 페이지 어드레스(PA_ADD) 또는 상기 프리패치 어드레스(PRF_ADD) 또는 상기 프로그램 어드레스(PR_ADD)를 수신하여 상기 프로그램 메모리(40)에 전송한다.
- <159> 또, 상기 제2 인터페이스 장치(250)는 상기 프로그램 메모리(40)로부터 상기 제1 기입 인스트럭션(PA_INS)을 수신하여 상기 제1 캐시 메모리(220)에 전송하고, 상기 제2 기입 인스트럭션(INS1)을 수신하여 상기 제2 캐시 메모리(230)에 전송한다. 상기 제2 인터페이스 장치(250)는 상기 제3 기입 인스트럭션(INS2)을 수신하여 상기 제3 캐시 메모리(240)에 전송한다.
- <160> 여기에서, 상기 제3 캐시 메모리(240)는 상기 DSP 코어(10)의 일반적인 프로그램 수행에 필요한 인스트럭션들이나 또는 상기 DSP 코어(10)가 해당 입력변수들을 독출한 후의 인터럽트 서비스 루틴 수행에 필요한 인스트럭션들을 제공한다.
- <161> 도 10은 도 8에 도시된 제2 캐시 메모리를 상세히 나타내는 블록도이다.
- <162> 도 10과 같이, 상기 제2 캐시 메모리(230)는 캐시 메모리 블록(260)과 캐시 제어부(270)를 포함한다.
- <163> 상기 캐시 메모리 블록(260)의 구성 및 구체적인 동작은 도 5에 도시된 상기 캐시 메모리 블록(150)과 동일하므로 생략하기로 한다.

- <164> 상기 캐시 제어부(270)는 입력회로(271), 제1 내지 제3 레지스터(272~274), 제1 및 제2 펄셈기(275, 276), 히트/미스 판단부(277), 카운팅부(278) 및 제어신호 발생부(279)를 포함한다.
- <165> 상기 캐시 제어부(270)의 구성 및 구체적인 동작은 도 4에 도시된 상기 캐시 제어부(160)와 동일하므로 생략하기로 한다.
- <166> 다만, 상기 캐시 제어부(270)와 상기 캐시 제어부(160)는 다음과 같은 두 가지 차이점이 있다.
- <167> 첫 번째 차이점은 상기 캐시 제어부(270)가 상기 입력회로(271)를 더 포함한다는 것이고, 두 번째 차이점은 상기 제어신호 발생부(279)가 상기 제1 캐시 메모리(220)로부터 출력되는 상기 미스 신호(MISS_L)를 더 수신한다는 것이다.
- <168> 상기 입력회로(271)는 상기 미스 신호(MISS_L)가 수신될 때, 상기 프로그램 어드레스(PR_ADD)를 상기 제1 레지스터(272)에 출력한다.
- <169> 상기 카운팅부(278)는 상기 미스 신호(MISS_L)에 응답하여 동작하여, 상기 히트/미스 판단부(277)로부터 출력되는 상기 히트 신호(HIT_I)의 출력 횟수를 카운팅한다.
- <170> 상기 제2 캐시 메모리(230)는 상기 제1 캐시 메모리(220)로부터 출력된 상기 미스 신호(MISS_L)와 인터럽트 신호(INT_ACK)를 수신하면 동작을 개시한다.
- <171> 상기와 같이 구성된 본 발명의 제2 실시예에 따른 저전력 소비형 캐시 메모리 장치의 동작을 도 11을 참고하여 살펴보면 다음과 같다.

- <172> 본 발명은 인터럽트 요청에 신속하게 대응하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치에 관한 것이므로, 도 11에서는 인터럽트 요청이 있을 때의 상기 캐시 메모리 장치의 동작만을 설명하기로 한다.
- <173> 도 11은 본 발명의 제2 실시예에 따른 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 동작 과정을 나타내는 흐름도(3000)이다.
- <174> 도 11과 같이, 먼저, 제1 캐시 메모리(220)가 제1 인스트럭션(INS_R1)을 DSP 코어(10)에 제공한다(3001). 이 후, 상기 제1 캐시 메모리(220)로부터 미스 신호(MISS_L)가 출력되는지의 여부가 판단된다(3002).
- <175> 상기 단계(3002)에서 상기 미스 신호(MISS_L)가 출력되면, 러닝 플래그 신호(RUN_F)가 인에이블 상태인지의 여부가 판단된다(3003). 여기에서, 상기 러닝 플래그 신호(RUN_F)가 인에이블 상태인 경우, 인터럽트 요청에 대한 인스트럭션을 제공하는 상태임을 나타낸다.
- <176> 상기 단계(3003)에서 상기 러닝 플래그 신호(RUN_F)가 인에이블 상태인 경우, 제2 캐시 메모리(230)가 제2 인스트럭션(INS_RE2)을 상기 DSP 코어(10)에 제공한다(3004). 여기에서, 상기 단계(3004)의 상세한 동작 과정은 도 7에서 설명된 제1 캐시 메모리(120)의 동작과 동일하므로 생략하기로 한다.
- <177> 다음으로, 상기 제2 캐시 메모리(230)가 제공한 상기 제2 인스트럭션(INS_R2)의 수가 소정 개수에 도달하였는지의 여부가 판단된다(3005).

- <178> 상기 단계(3005)에서 상기 제2 인스트럭션(INS_R2)의 수가 소정 개수에 도달할 때, 상기 제2 캐시 메모리(230)는 동작을 정지하고 상기 러닝 플래그 신호(RUN_F)를 디세이블 시킨다(3006). 이 후, 상기 단계(3001)로 리턴하여 상기 단계들을 반복 수행한다.
- <179> 다음으로, 상기 단계(3003)에서 상기 러닝 플래그 신호(RUN_F)가 디세이블 상태인 경우, 제3 캐시 메모리(240)가 제3 인스트럭션(INS_R3)을 상기 DSP 코어(10)에 제공한다(3007). 이 후, 인터럽트 신호(INT_ACK)가 수신되는지의 여부를 판단한다(3008). 상기 제2 캐시 메모리(230)는 상기 인터럽트 신호(INT_ACK)를 수신하면, 상기 러닝 플래그 신호(RUN_F)를 인에이블 시킨다(3009). 이 후, 상기 단계(3001)로 리턴하여 상기 단계들을 반복 수행한다.
- <180> 도 12는 도 8에 도시된 제3 캐시 메모리를 상세히 나타내는 블록도이다.
- <181> 도 12와 같이, 상기 제3 캐시 메모리(240)는 입력회로(241), 태그 메모리(242), 히트/미스 판단부(243) 및 데이터 메모리(244)를 포함한다. 상기 입력회로(241)는 상기 미스 신호(MISS_L)와 디세이블 상태의 상기 러닝 플래그 신호(RUN_F)를 수신하면, 상기 프로그램 어드레스(PR_ADD)를 상기 태그 메모리(242)에 출력한다.
- <182> 상기 태그 메모리(242)는 상기 데이터 메모리(244)에 저장된 인스트럭션들에 대한 정보를 나타내는 라인 어드레스(TADD)를 저장한다.
- <183> 상기 히트/미스 판단부(243)는 상기 프로그램 어드레스(PR_ADD)가 상기 라인 어드레스(TADD)와 동일하면 히트 신호(HIT_G)를 출력한다. 또, 상기 프로그램 어드레스(PR_ADD)가 상기 라인 어드레스(TADD)와 동일하지 않을 때 미스 신호(MISS_G)를 출력한다.

- <184> 또, 상기 히트 신호(HIT_G)가 출력될 때, 상기 데이터 메모리(244)는 리드 어드레스(RADD)에 대응하는 제3 인스트럭션(INS_R3)을 출력한다.
- <185> 저전력과 빠른 액세스를 보장하기 위해, 상기 제3 캐시 메모리(240)는 구조가 간단한 다이렉트 맵 캐시(direct-mapped cache)인 것이 바람직하다.
- <186> 도 13은 본 발명에 따른 일반 캐시 메모리와 인터럽트용 캐시 메모리의 입력 대역폭을 비교 설명하기 위한 블록도이다.
- <187> 도 13에서, 일반 캐시 메모리(304)는 도 3의 제2 캐시 메모리(130) 또는 도 8의 제3 캐시 메모리(240)를 나타낸다. 도 13에서, 인터럽트용 캐시 메모리(305)는 도 3의 제1 캐시 메모리(120) 또는 도 8의 제2 캐시 메모리(230)를 나타낸다.
- <188> 도 13과 같이, 대용량의 제1 및 제2 프로그램 메모리(301, 302)가 상기 일반 캐시 메모리(304)와 상기 인터럽트용 캐시 메모리(305)에 연결된다.
- <189> 상기 일반 캐시 메모리(304)는 믹스회로(303)에 의해 상기 제1 프로그램 메모리(301)와 상기 제2 프로그램 메모리(302)중 어느 하나의 데이터를 수신한다.
- <190> 상기 인터럽트용 캐시 메모리(305)는 상기 제1 프로그램 메모리(301)와 상기 제2 프로그램 메모리(302) 모두에서 출력되는 데이터를 수신한다.
- <191> 도 13과 같이, 상기 일반 캐시 메모리(304)와 상기 인터럽트용 캐시 메모리(305)는 입력 대역폭이 다르다. 다시 말하면, 상기 인터럽트용 캐시 메모리(305)의 입력 대역폭은 상기 일반 캐시 메모리(304)의 입력 대역폭의 2배이다. 구체적인 예를 들어 이를 좀더 상세히 설명하면 다음과 같다. 예를 들어, 상기 제1 프로그램 메모리(301)와 상기 제2 프로그램 메모리(302) 각각에서 32비트의 데이터가 출력된다고 가정하자.

- <192> 상기 일반 캐시 메모리(304)는 상기 맥스회로(303)에 의해 상기 제1 및 상기 제2 프로그램 메모리(301, 302)중 어느 하나로부터 출력되는 데이터를 수신하므로, 32비트의 입력 대역폭을 갖는다.
- <193> 또, 상기 인터럽트용 캐시 메모리(305)는 상기 제1 프로그램 메모리(301)와 상기 제2 프로그램 메모리(302)로부터 출력되는 데이터를 모두 수신하므로, 64비트의 입력 대역폭을 갖는다.
- <194> 따라서, 인터럽트 요청이 있을 때, 상기 인터럽트용 캐시 메모리(305)는 DSP 코어의 요청에 따른 인스트럭션들을 신속하게 제공할 수 있다. 또, 일반 동작시에는 상기 일반 캐시 메모리(304)가 하나의 프로그램 메모리만을 액세스하므로, 전력 소비가 감소된다.
- <195> 도 13에서는 상기 프로그램 메모리가 2개인 것으로 도시되었지만, 상기 일반 캐시 메모리(304)와 상기 인터럽트용 캐시 메모리(305)에는 추가의 프로그램 메모리들이 더 연결될 수 있다.
- <196> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<197> 상기한 것과 같이, 본 발명의 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치 및 이에 대한 제어방법에 의하면, 인터럽트 요청에 신속하게 대응하고 전력 소비를 감소시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

대용량의 프로그램 메모리를 액세스 하여 DSP 코어로부터 요청된 인스트럭션을 상기 DSP 코어에 제공하는 캐시 메모리 장치에 있어서,

소정의 인터럽트 신호에 응답하여 러닝 플래그 신호를 인에이블시키고, 상기 인스트럭션 중 소정 개수의 제1 인스트럭션을 상기 DSP 코어에 제공한 후, 상기 러닝 플래그 신호를 디세이블시키는 제1 캐시 메모리;

상기 러닝 플래그 신호가 디세이블 상태일 때 상기 인스트럭션 중 제2 인스트럭션을 상기 DSP 코어에 제공하는 제2 캐시 메모리;

상기 DSP 코어와 상기 제1 및 상기 제2 캐시 메모리를 인터페이스 하는 제1 인터페이스장치; 및

상기 프로그램 메모리와 상기 제1 및 상기 제2 캐시 메모리를 인터페이스 하는 제2 인터페이스장치를 구비하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 제1 인스트럭션은,

상기 DSP 코어가 인터럽트 요청상태를 검사하고, 해당 입력변수들을 독출하기 위해 사용되는 인스트럭션인 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 제1 캐시 메모리는,

소정의 라이트 어드레스에 응답하여 상기 프로그램 메모리로부터 수신되는 상기 제1 인스트럭션을 저장하고, 소정의 리드 어드레스에 응답하여 상기 제1 인스트럭션을 출력하는 캐시 메모리 블록; 및

상기 DSP 코어로부터 수신되는 프로그램 어드레스로부터 상기 라이트 어드레스와 상기 리드 어드레스 및 프리패치 어드레스를 발생하는 캐시 제어부를 구비하며,

상기 캐시 제어부는 상기 제2 인터페이스장치를 통하여 상기 프리패치 어드레스를 상기 프로그램 메모리에 전송하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 캐시 제어부는,

상기 프로그램 어드레스를 수신하여 요청 어드레스로서 출력하는 제1 레지스터;

상기 인터럽트 신호에 응답하여 상기 프로그램 어드레스 중 최초로 수신되는 상기 프로그램 어드레스를 시작 어드레스로 설정하는 제2 레지스터;

상기 시작 어드레스를 기초로 하여 상기 프리패치 어드레스를 발생하는 제3 레지스터;

상기 요청 어드레스에서 상기 시작 어드레스를 감산하여 상기 리드 어드레스를 출력하는 제1 뺄셈기;

상기 프리패치 어드레스에서 상기 시작 어드레스를 감산하여 상기 라이트 어드레스를 출력하는 제2 뿔셈기;

상기 리드 어드레스에 대한 히트 또는 미스를 판단하여 히트 신호와 미스 신호중 어느 하나를 출력하는 히트/미스 판단부;

상기 히트 신호가 출력되는 횟수를 카운팅하며, 그 누적된 카운팅 값이 설정된 값에 도달될 때 카운팅 정보를 출력하는 카운팅부; 및

상기 카운팅 정보에 응답하여 상기 러닝 플래그 신호를 인에이블시키는 제어신호 발생부를 구비하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 5】

제4항에 있어서,

상기 제3 레지스터는 상기 히트/미스 판단부로부터 상기 히트 신호가 출력될 때 상기 프리패치 어드레스를 발생하며,

상기 프리패치 어드레스는 상기 시작 어드레스로부터 연속적으로 증가되는 복수의 어드레스들을 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 6】

제4항에 있어서, 상기 카운팅부는,

추가로 상기 인터럽트 신호가 수신될 때 리셋되는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 7】

제4항에 있어서,

상기 히트/미스 판단부는 상기 리드 어드레스가 상기 캐시 메모리 블록내의 어드레스 범위를 벗어나거나 또는 상기 리드 어드레스에 대응하는 상기 제1 인스트럭션이 유효하지 않을 때 상기 미스 신호를 출력하며,

상기 제어신호 발생부는 상기 미스 신호에 응답하여 소정의 제어신호를 출력하며,

상기 제2 레지스터는 상기 제어신호에 응답하여 상기 시작 어드레스를 재설정하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 8】

제7항에 있어서,

상기 제2 레지스터는, 상기 미스 신호가 출력된 상기 리드 어드레스를 발생하는데 사용된 프로그램 어드레스를 저장하여 상기 시작 어드레스로 재설정하며,

상기 제3 레지스터는 상기 제어신호에 응답하여 상기 시작 어드레스로 재설정된 상기 프로그램 어드레스를 상기 프로그램 메모리에 전송하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 9】

대용량의 프로그램 메모리를 액세스 하여 요청된 인스트럭션을 DSP 코어에 제공하는 제1 캐시 메모리와 제2 캐시 메모리를 구비하는 캐시 메모리 장치의 제어방법에 있어서,

(a) 상기 제2 캐시 메모리가 상기 인스트럭션 중 제2 인스트럭션을 상기 DSP 코어에 제공하는 단계;

(b) 인터럽트 신호가 수신될 때, 상기 제1 캐시 메모리가 러닝 플래그 신호를 인에이블시키는 단계;

(c) 상기 제1 캐시 메모리가 상기 인스트럭션 중 제1 인스트럭션을 상기 DSP 코어에 제공하는 단계;

(d) 제공된 상기 제1 인스트럭션의 수가 소정 개수에 도달할 때, 상기 제1 캐시 메모리가 동작을 정지하고 상기 러닝 플래그 신호를 디세이블시키는 단계; 및

(e) 상기 (a) 내지 상기 (d) 단계들을 반복 수행하는 단계를 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 10】

제9항에 있어서, 상기 제1 인스트럭션은,

상기 DSP 코어가 인터럽트 요청상태를 검사하고, 해당 입력변수들을 독출하기 위해 사용되는 인스트럭션인 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 11】

제9항에 있어서, 상기 (c) 단계는,

(f) 프로그램 어드레스를 수신하는 단계;

(g) 리드 어드레스를 발생하는 단계;

(h) 상기 리드 어드레스가 캐시 메모리 블록내의 어드레스 범위를 벗어나거나 또는 상기 리드 어드레스에 대응하는 상기 제1 인스트럭션이 유효하지 않을 때, 미스 신호를 출력하고 시작 어드레스를 재설정하는 단계;

(i) 상기 재설정된 시작 어드레스를 전송하여, 제1 기입 인스트럭션을 수신하는 단계;

(j) 라이트 어드레스를 발생하여 상기 제1 기입 인스트럭션을 저장하는 단계;

(k) 상기 리드 어드레스가 상기 캐시 메모리 블록내의 상기 어드레스 범위를 벗어나지 않고 상기 리드 어드레스에 대응하는 상기 제1 인스트럭션이 유효할 때 히트 신호 및 상기 제1 인스트럭션을 출력하는 단계;

(l) 상기 히트 신호의 출력 횟수를 카운팅하는 단계;

(m) 누적된 카운팅 값이 소정 횟수에 도달될 때까지 상기 (f)단계 내지 상기 (l)단계를 반복 수행하는 단계; 및

(n) 상기 누적된 카운팅 값이 소정 횟수에 도달될 때 카운팅 정보를 출력하는 단계를 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 12】

제11항에 있어서, 상기 (d) 단계는,

(o) 상기 카운팅 정보를 수신하면, 상기 제1 인스트럭션의 수가 상기 소정 개수에 도달된 것으로 판단하는 단계를 더 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 13】

제11항에 있어서,

상기 (f) 단계는 (p) 최초로 수신되는 상기 프로그램 어드레스를 시작 어드레스로 설정하는 단계를 더 포함하고,

상기 (g) 단계에서 상기 리드 어드레스는 연속적으로 수신되는 상기 프로그램 어드레스에서 상기 시작 어드레스를 감산하여 얻어지는 것을 특징으로 하는 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치.

【청구항 14】

제11항에 있어서,

상기 (h) 단계에서 상기 재설정되는 시작 어드레스는 상기 미스 신호가 출력된 상기 리드 어드레스에 대응하는 상기 프로그램 어드레스이고,

상기 (j) 단계에서 상기 라이트 어드레스는 상기 프로그램 어드레스에서 상기 재설정되는 시작 어드레스를 감산하여 얻어지는 것을 특징으로 하는 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치.

【청구항 15】

제11항에 있어서, 상기 (k) 단계는,

(q) 상기 시작 어드레스에 기초하여 프리패치 어드레스를 발생하는 단계; 및

(r) 상기 프리패치 어드레스에서 상기 시작 어드레스를 감산하여 라이트 어드레스를 발생하고, 상기 프리패치 어드레스에 대응하는 상기 제1 기입 인스트럭션을 저장하는

단계를 더 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 16】

대용량의 프로그램 메모리를 액세스 하여 DSP 코어로부터 요청된 인스트럭션을 상기 DSP 코어에 제공하는 캐시 메모리 장치에 있어서,

상기 인스트럭션 중 제1 인스트럭션을 상기 DSP 코어에 제공하며, 상기 제1 인스트럭션이 없을 때 제1 미스 신호를 출력하는 제1 캐시 메모리;

소정의 인터럽트 신호와 상기 제1 미스 신호에 응답하여 상기 인스트럭션 중 제2 인스트럭션을 상기 DSP 코어에 제공하며, 소정 개수의 상기 제2 인스트럭션을 제공하면 러닝 플래그 신호를 디세이블시키는 제2 캐시 메모리;

상기 러닝 플래그 신호가 디세이블될 때, 상기 제1 미스 신호에 응답하여 상기 인스트럭션 중 제3 인스트럭션을 상기 DSP 코어에 제공하는 제3 캐시 메모리;

상기 DSP 코어와 상기 제1 내지 상기 제3 캐시 메모리를 인터페이스 하는 제1 인터페이스장치; 및

상기 프로그램 메모리와 상기 제1 내지 상기 제3 캐시 메모리를 인터페이스 하는 제2 인터페이스장치를 구비하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 17】

제16항에 있어서, 상기 제2 캐시 메모리는,

소정의 라이트 어드레스에 응답하여 상기 프로그램 메모리로부터 수신되는 상기 제2 인스트럭션을 저장하고, 소정의 리드 어드레스에 응답하여 상기 제2 인스트럭션을 출력하는 캐시 메모리 블록; 및

상기 DSP 코어로부터 수신되는 프로그램 어드레스로부터 상기 라이트 어드레스와 상기 리드 어드레스 및 프리패치 어드레스를 발생하는 캐시 제어부를 구비하며,

상기 캐시 제어부는 상기 제2 인터페이스장치를 통하여 상기 프리패치 어드레스를 상기 프로그램 메모리에 전송하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 18】

제16항에 있어서, 상기 캐시 제어부는,

상기 제1 미스 신호에 응답하여, 상기 프로그램 어드레스를 수신하여 출력하는 입력회로;

상기 프로그램 어드레스를 요청 어드레스로서 출력하는 제1 레지스터;

상기 인터럽트 신호에 응답하여 상기 프로그램 어드레스 중 최초로 수신되는 상기 프로그램 어드레스를 시작 어드레스로 설정하는 제2 레지스터;

상기 시작 어드레스를 기초로 하여 상기 프리패치 어드레스를 발생하는 제3 레지스터;

상기 요청 어드레스에서 상기 시작 어드레스를 감산하여 상기 리드 어드레스를 출력하는 제1 뺄셈기;

상기 프리패치 어드레스에서 상기 시작 어드레스를 감산하여 상기 라이트 어드레스를 출력하는 제2 뿔셈기;

상기 리드 어드레스에 대한 히트 또는 미스를 판단하여 히트 신호와 제2 미스 신호 중 어느 하나를 출력하는 히트/미스 판단부;

상기 히트 신호가 출력된 횟수를 카운팅하며, 그 누적된 카운팅 값이 설정된 값에 도달될 때 카운팅 정보를 출력하는 카운팅부; 및

상기 인터럽트 신호에 응답하여 상기 러닝 플래그 신호를 인에이블시키고, 상기 카운팅 정보에 응답하여 상기 러닝 플래그 신호를 디세이블시키는 제어신호 발생부를 구비하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 19】

제18항에 있어서, 상기 프리패치 어드레스는,

상기 시작 어드레스로부터 연속적으로 증가되는 복수의 어드레스들을 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치.

【청구항 20】

제18항에 있어서,

상기 히트/미스 판단부는 상기 리드 어드레스가 상기 캐시 메모리 블록내의 어드레스 범위를 벗어나거나 또는 상기 리드 어드레스에 대응하는 상기 제2 인스트럭션이 유효하지 않을 때 상기 제2 미스 신호를 출력하고,

상기 제어신호 발생부는 상기 제2 미스 신호에 응답하여, 소정의 제어신호를 출력하며,

상기 제2 레지스터는 상기 제어신호에 응답하여 상기 시작 어드레스를 재설정하고,

상기 제3 레지스터는 상기 제어신호에 응답하여 재설정된 상기 시작 어드레스를 기초로 하여 상기 프리패치 어드레스를 발생하는 것을 특징으로 하는 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치.

【청구항 21】

제20항에 있어서, 상기 제2 레지스터는,

상기 제2 미스 신호가 출력된 상기 리드 어드레스를 발생하는데 사용된 프로그램 어드레스를 저장하여 상기 시작 어드레스로 재설정하는 것을 특징으로 하는 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치.

【청구항 22】

대용량의 프로그램 메모리를 액세스 하여 요청된 인스트럭션을 DSP 코어에 제공하는 제1 내지 제3 캐시 메모리를 구비하는 캐시 메모리 장치의 제어방법에 있어서,

(a) 상기 제1 캐시 메모리가 상기 인스트럭션 중 제1 인스트럭션을 상기 DSP 코어에 제공하는 단계;

(b) 상기 제1 캐시 메모리로부터 제1 미스 신호가 출력되고, 러닝 플래그 신호가 인에이블 상태일 때, 상기 제2 캐시 메모리가 상기 인스트럭션 중 제2 인스트럭션을 상기 DSP 코어에 제공하는 단계;

(c) 제공된 상기 제2 인스트럭션의 수가 소정 개수에 도달할 때, 상기 제2 캐시 메모리가 동작을 정지하고 상기 러닝 플래그 신호를 디세이블시키는 단계;

(d) 상기 제1 캐시 메모리로부터 상기 제1 미스 신호가 출력되고, 상기 러닝 플래그 신호가 디세이블 상태일 때, 상기 제3 캐시 메모리가 상기 인스트럭션 중 제3 인스트럭션을 상기 DSP 코어에 제공하는 단계;

(e) 인터럽트 신호가 수신될 때, 상기 제2 캐시 메모리가 상기 러닝 플래그 신호를 인에이블시키는 단계; 및

(f) 상기 (a) 내지 상기 (e) 단계를 반복 수행하는 단계를 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 23】

제22항에 있어서, 상기 제2 인스트럭션은,

상기 DSP 코어가 인터럽트 요청상태를 검사하고, 해당 입력변수들을 독출하기 위해 사용되는 인스트럭션인 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 24】

제22항에 있어서, 상기 (b) 단계는,

(g) 프로그램 어드레스를 수신하는 단계;

(h) 리드 어드레스를 발생하는 단계;

(i) 상기 리드 어드레스가 캐시 메모리 블록내의 어드레스 범위를 벗어나거나 또는 상기 리드 어드레스에 대응하는 상기 제2 인스트럭션이 유효하지 않을 때, 제2 미스 신호를 출력하고 시작 어드레스를 재설정하는 단계;

(j) 상기 재설정된 시작 어드레스를 전송하여, 제2 기입 인스트럭션을 수신하는 단계;

(k) 라이트 어드레스를 발생하여 상기 제2 기입 인스트럭션을 저장하는 단계;

(l) 상기 리드 어드레스가 상기 캐시 메모리 블록내의 어드레스 범위를 벗어나지 않고 상기 리드 어드레스에 대응하는 상기 제2 인스트럭션이 유효할 때 히트 신호 및 상기 제2 인스트럭션을 출력하는 단계;

(m) 상기 히트 신호의 출력 횟수를 카운팅하는 단계;

(n) 누적된 카운팅 값이 소정 횟수에 도달될 때까지 상기 (g)단계 내지 상기 (m) 단계를 반복 수행하는 단계; 및

(o) 상기 누적된 카운팅 값이 소정 횟수에 도달될 때 카운팅 정보를 출력하는 단계를 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 25】

제24항에 있어서, 상기 (c) 단계는,

(p) 상기 카운팅 정보를 수신하면, 상기 제2 인스트럭션의 수가 상기 소정 개수에 도달된 것으로 판단하는 단계를 더 포함하는 것을 특징으로 하는 디지털 신호 처리장치의 저전력 소비형 캐시 메모리 장치의 제어방법.

【청구항 26】

제24항에 있어서,

상기 (g) 단계는 (q) 최초로 수신되는 상기 프로그램 어드레스를 시작 어드레스로 설정하는 단계를 더 포함하며,

상기 (h) 단계에서 상기 리드 어드레스는 연속적으로 수신되는 상기 프로그램 어드레스에서 상기 시작 어드레스를 감산하여 얻어지는 것을 특징으로 하는 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치.

【청구항 27】

제24항에 있어서,

상기 (i) 단계에서 상기 재설정되는 시작 어드레스는 상기 제2 미스 신호가 출력된 상기 리드 어드레스에 대응하는 상기 프로그램 어드레스이고,

상기 (k) 단계에서 상기 라이트 어드레스는 상기 프로그램 어드레스에서 상기 재설정된 시작 어드레스를 감산하여 얻어지는 것을 특징으로 하는 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치.

【청구항 28】

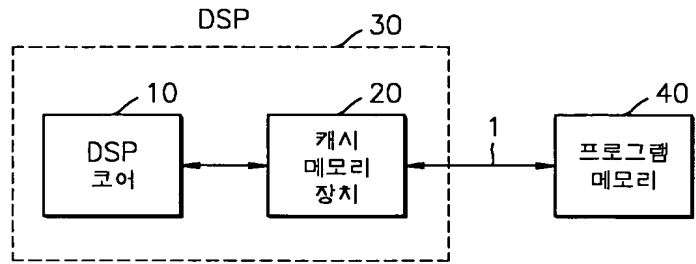
제24항에 있어서, 상기 (l) 단계는,

(r) 상기 시작 어드레스에 기초하여 프리패치 어드레스를 발생하는 단계; 및

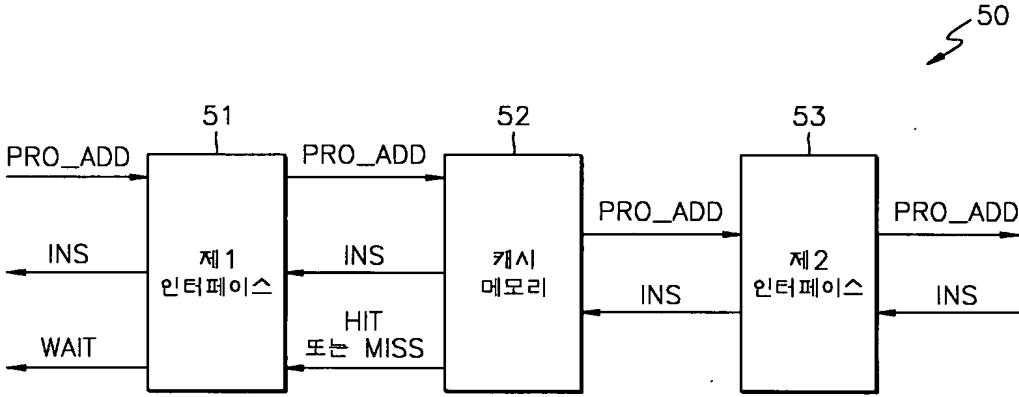
(s) 상기 프리패치 어드레스에서 상기 시작 어드레스를 감산하여 라이트 어드레스를 발생하고, 상기 프리패치 어드레스에 대응하는 상기 제2 기입 인스트럭션을 저장하는 단계를 더 포함하는 것을 특징으로 하는 디지털 신호 처리 장치의 저전력 소비형 캐시 메모리 장치.

【도면】

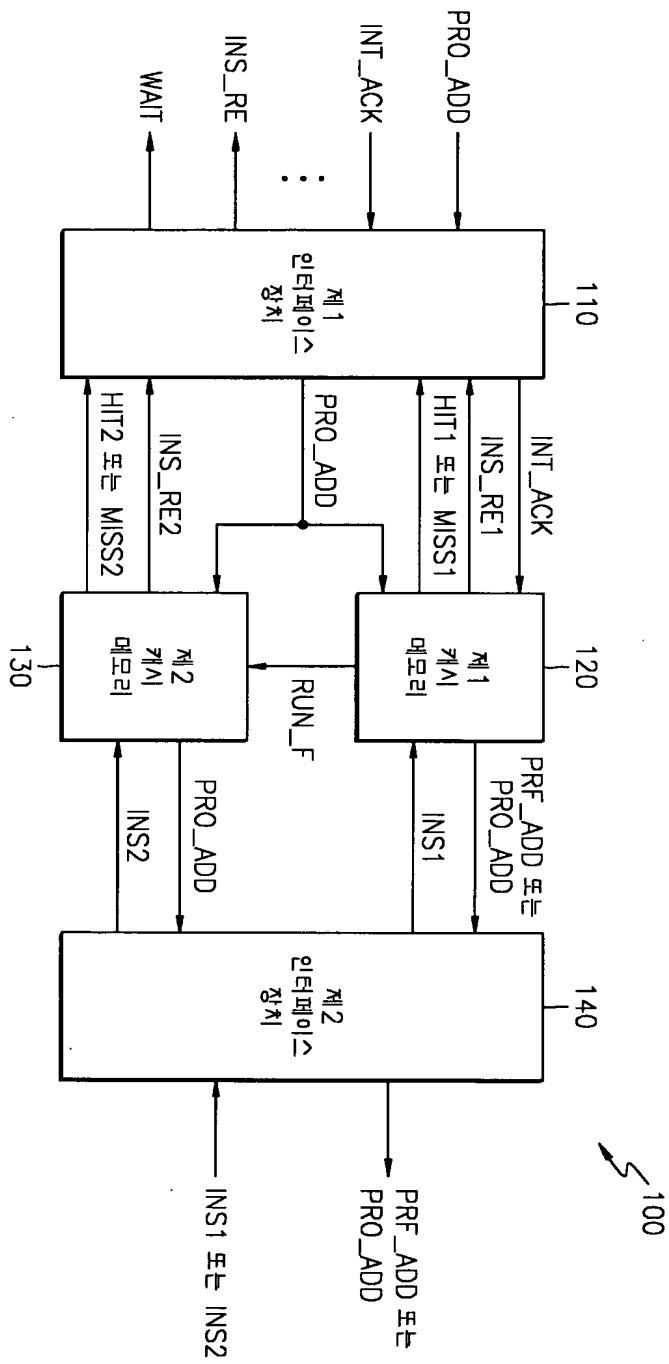
【도 1】

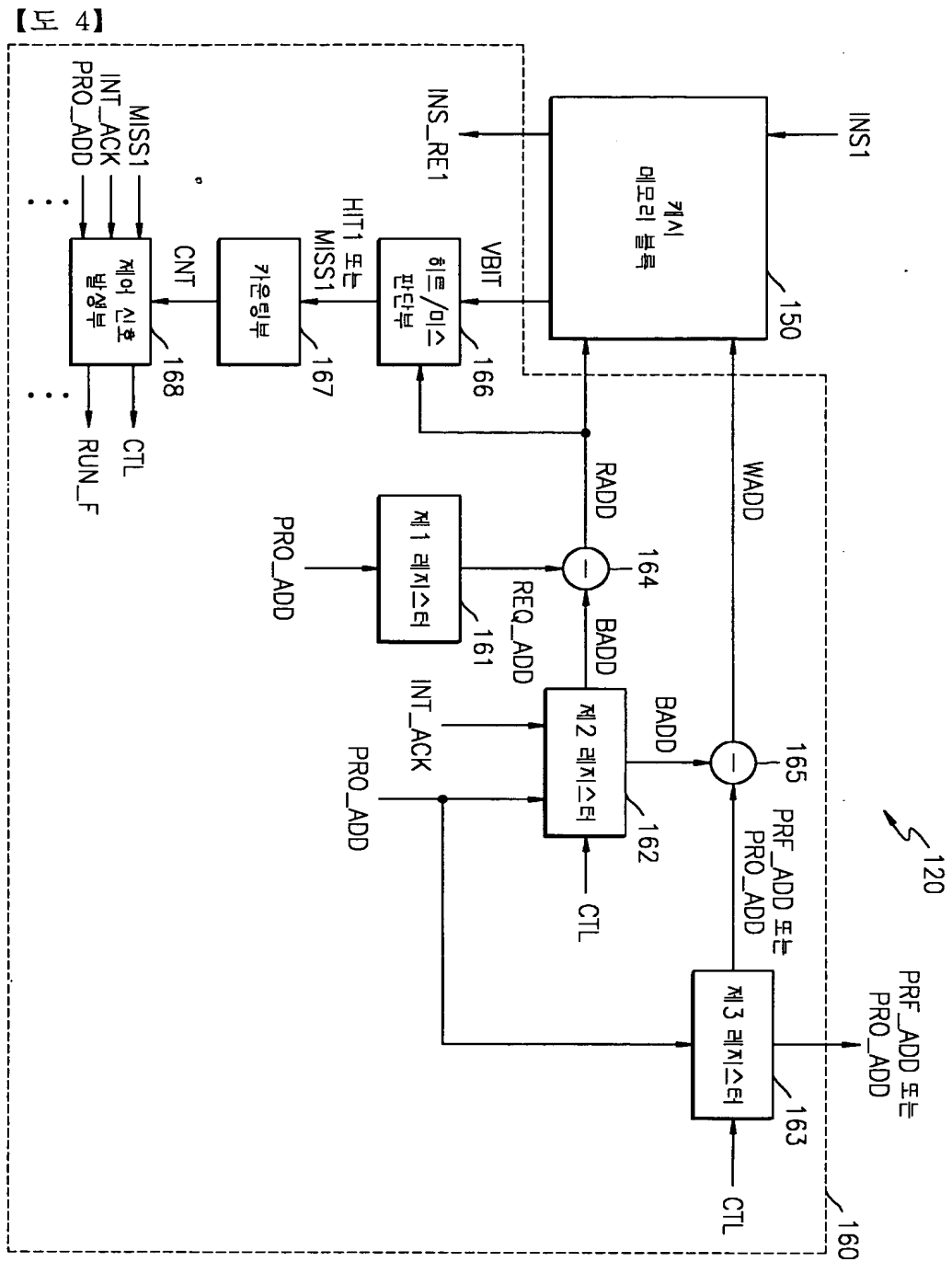


【도 2】

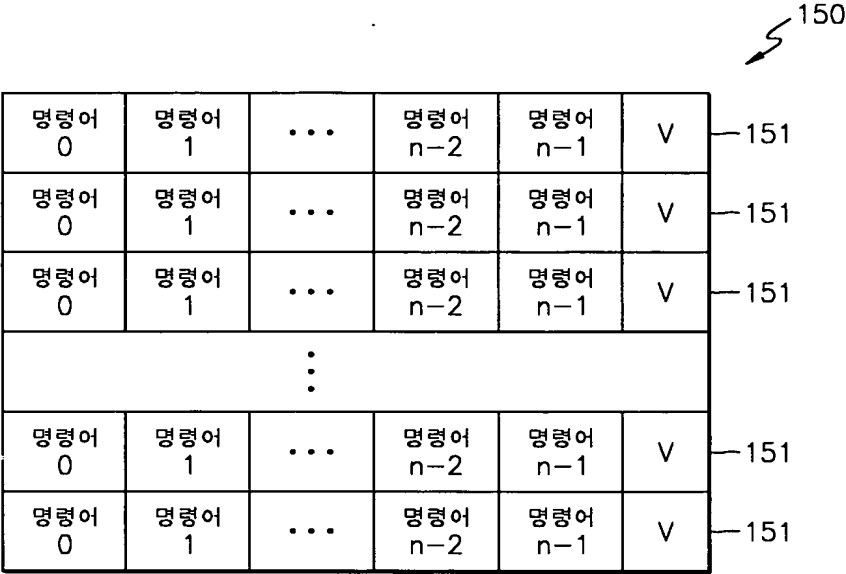


【도 3】

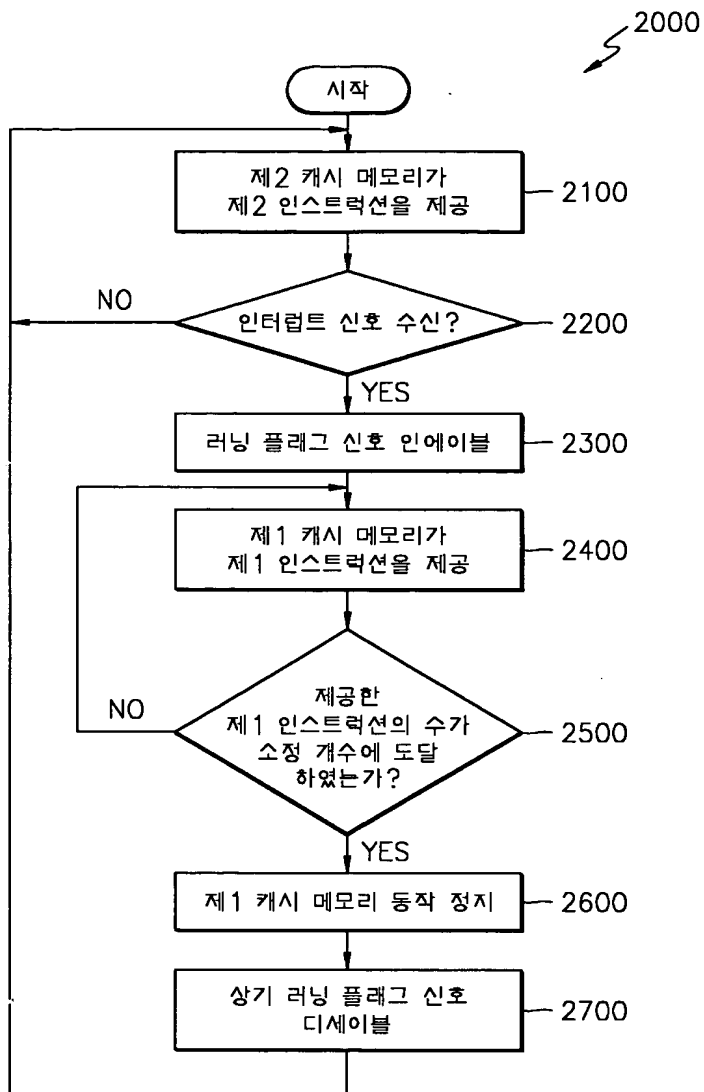




【도 5】

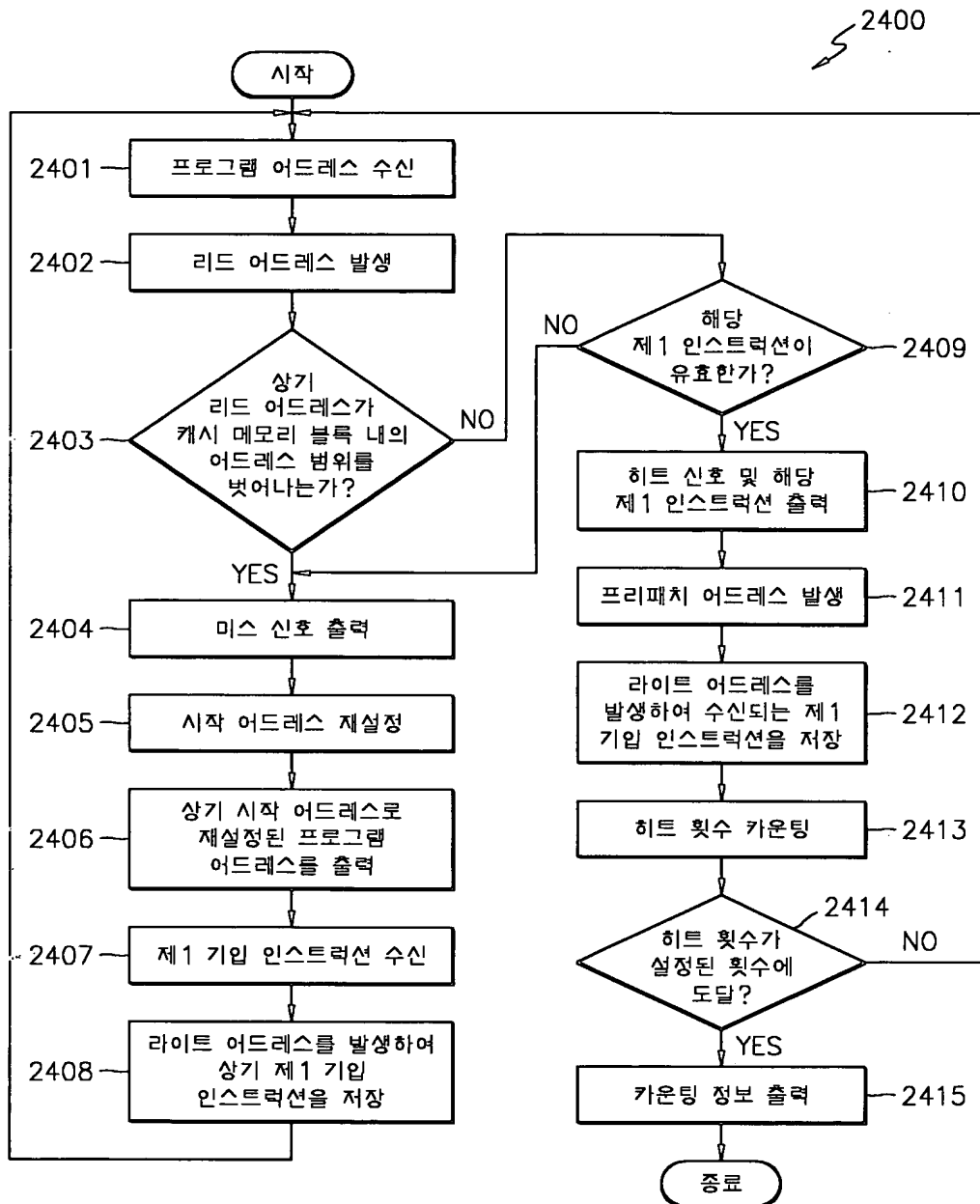


【도 6】

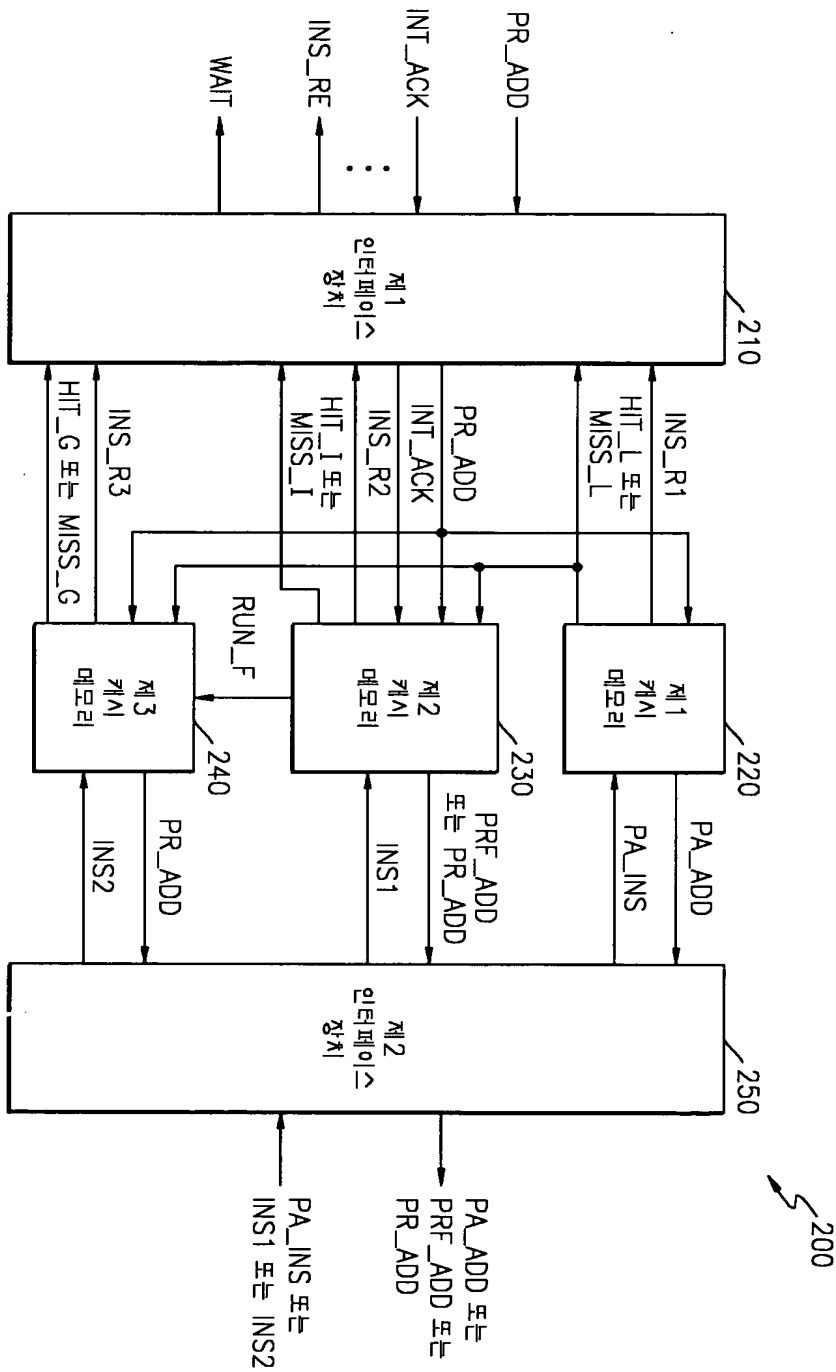




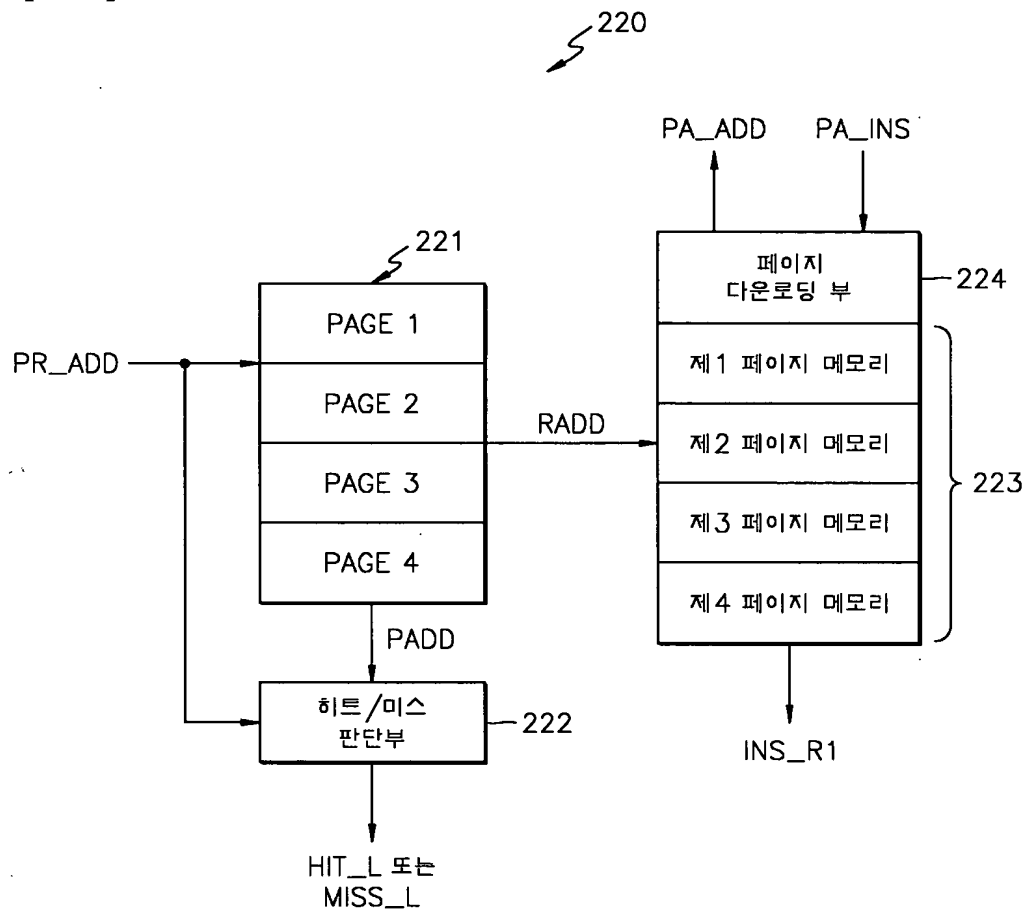
【도 7】



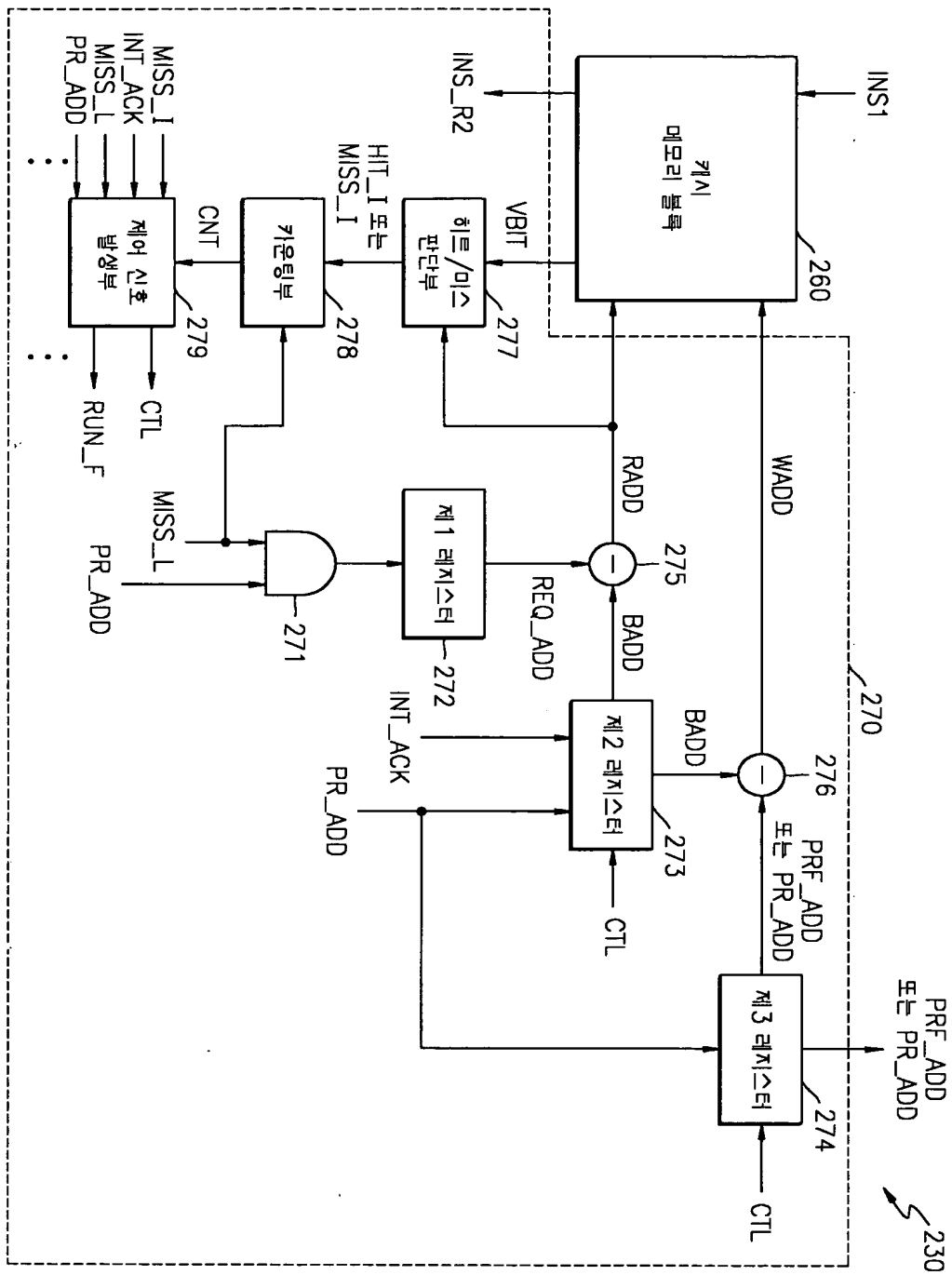
【도 8】



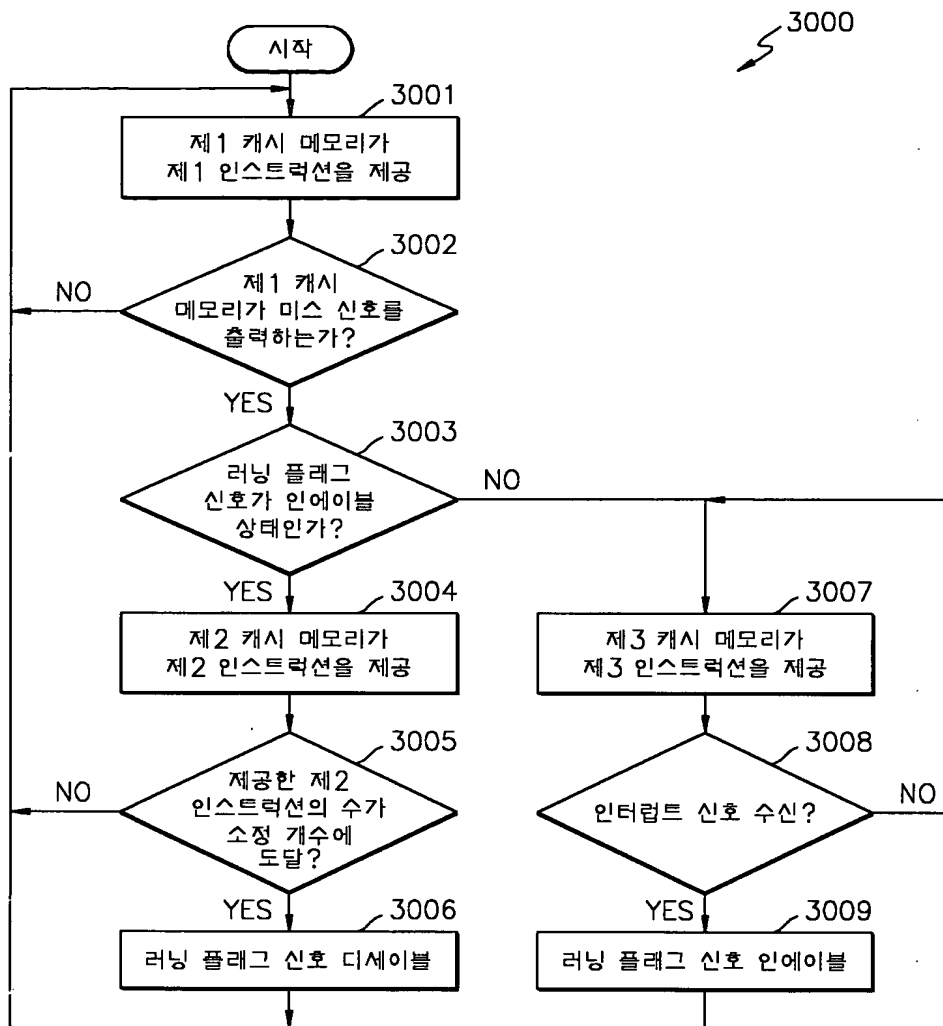
【도 9】



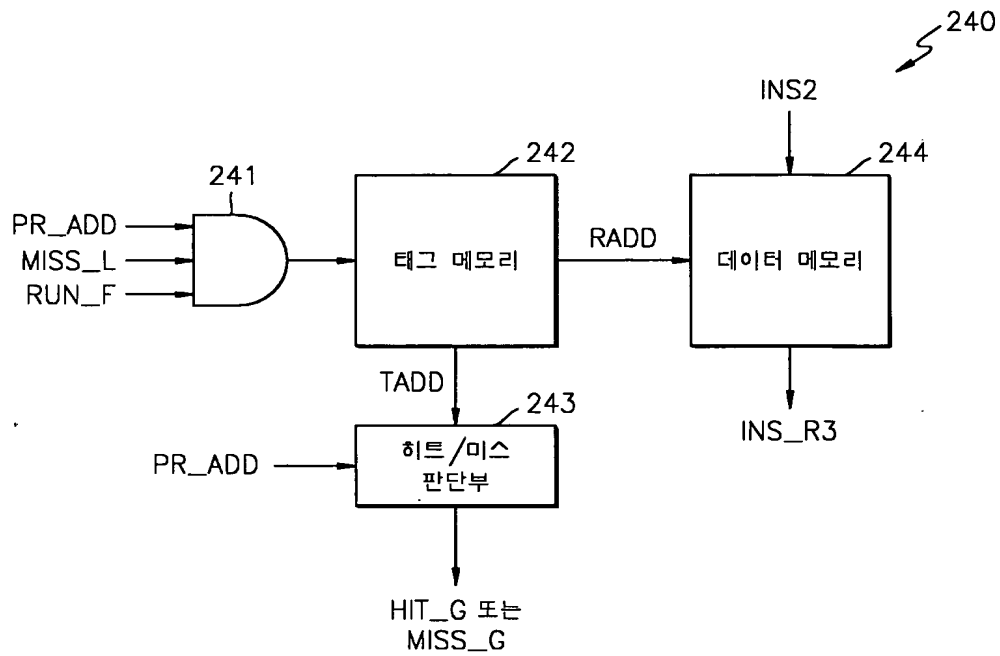
【도 10】



【도 11】



【도 12】



【도 13】

